

**T.C.
MİLLÎ EĞİTİM BAKANLIĞI**



MEGEP

**(MESLEKÎ EĞİTİM VE ÖĞRETİM SİSTEMİNİN GÜÇLENDİRİLMESİ
PROJESİ)**

BİLİŞİM TEKNOLOJİLERİ

SAYICILAR

ANKARA 2008

Milli Eğitim Bakanlığı tarafından geliştirilen modüller;

- Talim ve Terbiye Kurulu Başkanlığının 02.06.2006 tarih ve 269 sayılı Kararı ile onaylanan, Mesleki ve Teknik Eğitim Okul ve Kurumlarında kademeli olarak yaygınlaştırılan 42 alan ve 192 dala ait çerçeve öğretim programlarında amaçlanan mesleki yeterlikleri kazandırmaya yönelik geliştirilmiş öğretim materyalleridir (Ders Notlarıdır).
- Modüller, bireylere mesleki yeterlik kazandırmak ve bireysel öğrenmeye rehberlik etmek amacıyla öğrenme materyali olarak hazırlanmış, denenmek ve geliştirilmek üzere Mesleki ve Teknik Eğitim Okul ve Kurumlarında uygulanmaya başlanmıştır.
- Modüller teknolojik gelişmelere paralel olarak, amaçlanan yeterliği kazandırmak koşulu ile eğitim öğretim sırasında geliştirilebilir ve yapılması önerilen değişiklikler Bakanlıkta ilgili birime bildirilir.
- Örgün ve yaygın eğitim kurumları, işletmeler ve kendi kendine mesleki yeterlik kazanmak isteyen bireyler modüllere internet üzerinden ulaşabilirler.
- Basılmış modüller, eğitim kurumlarında öğrencilere ücretsiz olarak dağıtılır.
- Modüller hiçbir şekilde ticari amaçla kullanılamaz ve ücret karşılığında satılamaz.

İÇİNDEKİLER

AÇIKLAMALAR	ii
GİRİŞ	1
ÖĞRENME FAALİYETİ-1	3
1. SAYICILAR.....	3
1.1. Asenkron Sayıcılar	3
1.1.1. İki Bitlik Asenkron İleri-Geri Sayıcı	4
1.1.2. Üç Bitlik Asenkron İleri Ve Geri Sayıcılar	6
1.1.3. Dört Bitlik Asenkron İleri Ve Geri Sayıcılar	8
1.1.4. Resetlemeli asenkron ileri ve geri sayıcılar	12
UYGULAMA FAALİYETİ	14
ÖLÇME VE DEĞERLENDİRME	15
ÖĞRENME FAALİYETİ-2	17
2. SENKRON SAYICILAR.....	17
2.1. İki Bitlik, Üç Bitlik, Dört Bitlik Senkron İleri–Geri Sayıcının Karno Haritası ile Hesaplanması	18
2.1.1. İki Bitlik Senkron İleriye Sayıcının JK FF Kullanılarak Tasarımı	18
2.1.2. İki Bitlik Senkron Geriye Sayıcının JF FF Kullanılarak Tasarımı	21
2.1.3. Üç Bitlik Senkron İleriye Sayıcının Jk Ff Kullanılarak Tasarımı.....	23
2.1.4. Üç Bitlik Senkron Geriye Sayıcının JK FF Kullanılarak Tasarımı	26
2.1.5. Dört Bitlik Senkron İleriye Sayıcının JK FF Kullanılarak Tasarımı	27
2.1.6. Dört Bitlik Senkron Geriye Sayıcının JK FF Kullanılarak Tasarımı.....	30
2.2. İstenilen Sıraya göre Sayan Sayıcının Karno Haritası ile Hesaplanması.....	32
2.3. Halka Sayıcılar (Ring Counter) (7474).....	37
2.3.1. Standart Ring Sayıcı (Kalıcı Halka Sayıcı)	37
2.3.2. Yürüyen Ring Sayıcı (Kayıcı Halka Sayıcı).....	38
2.4. Entegre Sayıcılar	39
2.4.1 Decimal (Desimal – Onlu) Sayıcı (4017)	39
2.4.2 İkili (Binary) Sayıcı:	42
2.4.3. Programlanabilen Sayıcı.....	43
2.4.4. Resetlemeli Senkron Binary İleri–Geri Sayıcı (74191).....	48
2.4.5. Resetlemeli Senkron BCD İleri–Geri Sayıcı (74192).....	49
UYGULAMA FAALİYETİ-1	52
UYGULAMA FAALİYETİ 2	53
MODÜL DEĞERLENDİRME	54
CEVAP ANAHTARLARI	57
KAYNAKÇA	58

AÇIKLAMALAR

KOD	523EO0044
ALAN	Bilişim Teknolojileri
DAL/MESLEK	Bilgisayar Teknik Servisi
MODÜLÜN ADI	Sayıcılar
MODÜLÜN TANIMI	Asenkron sayıcı ve senkron sayıcıları anlatan öğrenme materyalidir.
SÜRE	40 / 32
ÖN KOŞUL	“Flip-Flop” modülünü tamamlamış olmak.
YETERLİK	Asenkron ve senkron sayıcıları tasarlamak ve devrelerini kurmak
MODÜLÜN AMACI	Genel Amaç Bu modül ile gerekli ortam sağlandığında sayıcı tasarımını , asenkron sayıcı ve senkron sayıcı devrelerini tekniğine uygun hatasız olarak kurup çalıştırabileceksiniz. Amaçlar 1. Sayıcı tasarımı yapabileceksiniz. 2. Asenkron sayıcı devreleri hatasız kurup çalıştırabileceksiniz. 3. Senkron sayıcı devrelerini hatasız kurup çalıştırabileceksiniz.
EĞİTİM ÖĞRETİM ORTAMLARI VE DONANIMLARI	Ortam ➤ Atölye, laboratuvar, bilgisayarda çeşitli devre tasarım programları . Donanım (Araç-Gereç ve Ekipman) ➤ DC güç kaynağı, asenkron sayıcı entegresi, senkron sayıcı entegreleri , elektronik malzemeler (flip-flop entegreleri ve sayıcı entegreleri), malzeme çantası (yankeski , karga burun vb.) uygulamalarda gerekli elektronik devre elemanları (board , direnç, buton, led vb.)
ÖLÇME VE DEĞERLENDİRME	➤ Her faaliyet sonrasında o faaliyetle ilgili değerlendirme soruları ile kendi kendinizi değerlendireceksiniz. ➤ Modül sonunda uygulanacak ölçme araçları ile modül uygulamalarında kazandığınız bilgi ve beceriler ölçülerek değerlendirilecektir. ➤ Bu modül sonu ölçme aracı, sizin modülden başarılı olup olmadığınızı gösterecektir.

GİRİŞ

Sevgili Öğrenci,

Teknoloji çağını yaşamaktayız. Teknolojinin kullanımı , gelişmiş toplumlarda ekonomik gelişmenin göstergesi haline gelmiştir. Teknoloji ise eğitim sürecinin geliştirilmesinde önemli rol oynamaktadır. Toplumdaki fertlerin yeni teknolojik gelişmelere adaptasyonu zorunlu hale gelmiştir. Teknoloji çağında artık bilgiyi ezberleyen değil ; bilgiye ulaşabilen, bilgiyi kullanabilen , değişime ve gelişmeye açık bireylere ihtiyaç vardır. Bilgisini gelişmelere paralel olarak yenileyen ve sürekli bilgi düzeyini artıran bireyler her zaman bir adım önde olacaktır. Gelişmiş toplumlar seviyesinde ve hatta üzerinde olmak için gelecek nesillerimizi bir sonraki çağın gerekleri ile donatmalıyız.

Günümüzde bütün mesleklerde bilgisayar kullanmaya ihtiyaç duyulur. Bunun sonucu olarak da günlük hayatta sürekli kullandığımız bilgisayarı oluşturan donanımların özelliklerini, çalışma sistemlerini merak ederiz. Sizlerin de bilişim teknolojileri alanında çalışacak birer teknik eleman olarak bilgisayar donanımları ve bunların işleyişleriyle ilgili bilgi ve becerilerinizi geliştirmeniz kaçınılmazdır. Yazılımların kontrol ettiği donanım birimlerinin çalışması konusunda temel bilgi sahibi olmak yapılacak işlemleri daha verimli kılacaktır.

Bu modülde sayıcılar ile ilgili çalışmalar yaparak sayma ve frekans bölme uygulaması gerektiren devreler gerçekleştirebileceksiniz. Bu modülü oluşturan sayıcıları öğrenmek zevkli ve adımlar takip edildiğinde kolaydır.

Tek bir şeye ihtiyacımız var, çalışmak.

Başarılar dilerim.

ÖĞRENME FAALİYETİ-1

AMAÇ

Bu modül ile size verilen sayıcı devre tasarımı ile ilgili çalışmaları yapabilecek , asenkron sayıcı devrelerini tasarlayarak tekniğine uygun şekilde hatasız kurup çalıştıracaksınız.

ARAŞTIRMA

- Sayıcıların temelini oluşturan flip flop elamanlarını çeşitlerini , tetikleme sinyal durumlarını, flip flop geçiş tablolarını ve flip flopların birbirlerine dönüşüm şekillerini hatırlayınız ve sayıcıların çeşitlerini ve kullanma yerlerini araştırınız.

1. SAYICILAR

FF 'ların arka arkaya sırayla bağlanması ile oluşturulmuş devrelerdir. Girişlerine uygulanan saat darbelerini (Clock pulse) ikili tabana göre sayma işlemi yapar.

Sayıcılar, dijital ölçü, kumanda, ve kontrol tesislerinin önemli elamanlarındandır . Ayrıca frekans bölme , frekans ölçümleri , aritmetik işlemler ve zaman aralığı ölçümleri gibi işlemlerde kullanılır. Sayıcılar tetikleme işaretlerinin (clock) farklı zamanlı (Asenkron) , eş zamanlı (Senkron) verilmesine göre iki grupta incelenebilir.

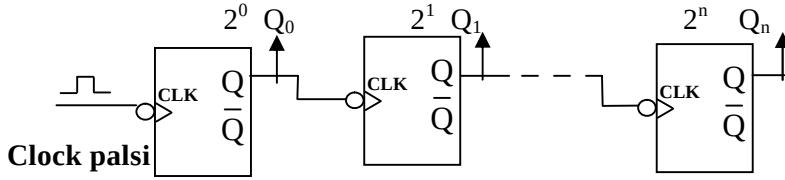
- Asenkron sayıcılar
- Senkron sayıcılar

1.1. Asenkron Sayıcılar

Asenkron sayıcılar , dalgalı sayıcı (ripple counter) veya seri sayıcı (serial counter) olarak da adlandırılır. Bu sayıcılarda FF'ların çıkışları bir sonraki FF clock girişine uygulanarak birbirini tetiklemeleri sağlanır. Böylece bir öndeki sonrakini tetiklemiş olur. Asenkron sayıcılardaki FF'lar toggle modunda çalışır yani her bir klok darbesi ile durum değiştirir.

Sayıcıların en önemli özelliklerinden biri de çalışma hızlarıdır. Örneğin , asenkron bir sayıcıda 4 adet FF kullanılmış olsun. Her FF tepki süresi 10 nanosaniye ise son FF konumunun değişmesi için $4 \times 10 = 40$ nsn lik bir zaman geçer. Zamanlamanın hassas olduğu yerlerde ve bilgisayar devrelerinde bu önemli bir faktördür.

Clock palsi sadece ilk FF girişine uygulanan , her birinin Q çıkışı bir sonrakinin clk girişine uygulanan ve çıkışların Q ucundan alındığı sayıcılara asenkron ileriye sayıcı denir. Aynı zamanda asenkron yukarı sayıcıda denir.

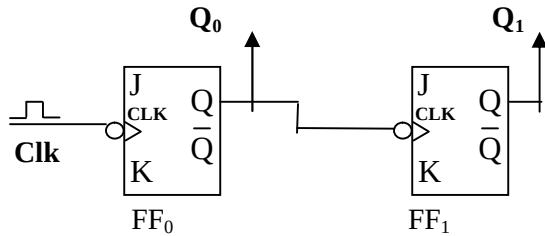


Şekil 1.1: Asenkron ileriye sayıcı prensip şeması

Şekil 1.1'deki prensip şemasında clock palsi ilk FF'a uygulanmıştır. Bu durum ilk FF çıkışını düşük değerlikli bit durumuna getirmiştir. Yukarıdaki devre negatif kenar (düşen kenar) tetiklemeli çalışır. Clock palsinin uygulandığı FF en değersiz bittir. Sıralama en düşük değerlikli bitten , en yüksek değerlikli bite doğru yapılır. Tablolarda en düşük değerlikli bit en sağa yerleşecek şekilde düzenleme yapılır. Çıkış dalga şekilleri çizilirken en üstte clock palsi bulunur. Bundan sonra sıralama düşük değerlikli bitten yüksek değerlikli olana doğru yapılır. Asenkron ileriye sayıcılar , genellikle JK ve T tipi FF ile yapılır. JK FF giriş uçları birleştirilerek T FF elde edilir ve lojik 1 uygulanır.

TTL serisi entegrelerde (74 serisi) boşa bırakılan uçlar lojik 1 olarak işlem görür.

1.1.1. İki Bitlik Asenkron İleri-Geri Sayıcı

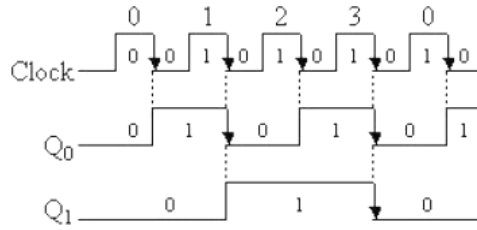


Şekil 1.2 : JK FF ile yapılan iki bitlik asenkron ileriye sayıcı

Asenkron sayıcılarda JK FF her clk palsinde konum değiştirmesi için J ve K girişlerinden lojik 1 verilmelidir. Şekil 1.2'de FF_0 clk girişine 0. clk palsi uygulandığında Q_0 çıkışı 0'dan 1'e geçer. 1. clk palsinde ise çıkış yine konum değiştirir bu defa FF_1 clk girişine Q_0'daki düşen kenar değişimi FF_1'in Q_1 çıkışının 0'dan 1'e geçişini sağlar. 2. clk palsi ile FF_0 konum değiştirir FF_1 etkilenmez. 3. clk palsi ile FF_0 konum değiştirerek 0'dan 1'e geçer. Pozitif kenarda FF_1 tetiklenmeyeceği için FF_1 konum değiştirmez. FF_1 çıkışı 1 olarak kalır.

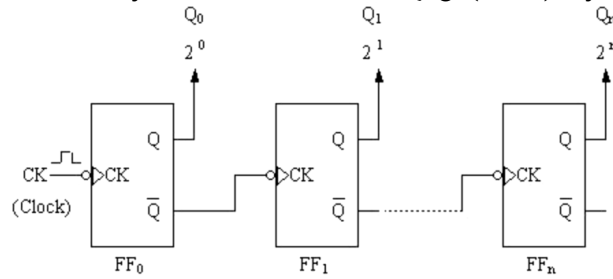
Clock	Q ₁	Q ₀
0	0	0
1	0	1
2	1	0
3	1	1

Tablo 1.1 : İki bitlik asenkron ileriye sayıcının doğruluk tablosu



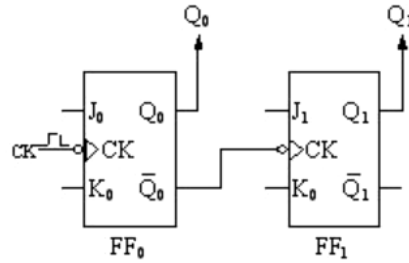
Şekil 1.3 : İki bitlik asenkron ileriye sayıcının çıkış dalga şekilleri

Asenkron geriye sayıcılarda clk pulsi ilk FF clk girişine uygulanarak bir sonraki FF bir öncekinin $\bar{Q}$ (Q değil olarak belirtilir) çıkışına bağlanarak elde edilen sayıcılara asenkron geriye sayıcı denir. Aynı zamanda asenkron aşağı (down) sayıcı da denir.



Şekil 1.4: Asenkron geriye sayıcı prensip şeması

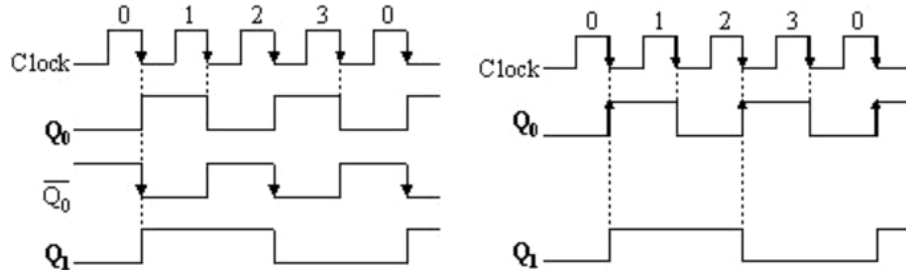
Yukarıdaki prensip şema düşen kenar tetiklemelidir. Clk pulsinin uygulandığı FF düşük değerlikli bittir. Sıralama da en değersiz bitten en değerli bite doğru yapılır.



Şekil 1.5: İki bitlik asenkron geriye sayıcı

Clock	Q_1 (2^1)	Q_0 (2^0)
0	1	1
1	1	0
2	0	1
3	0	0

Tablo 1.2 : İki bitlik asenkron geriye sayıcı doğruluk tablosu

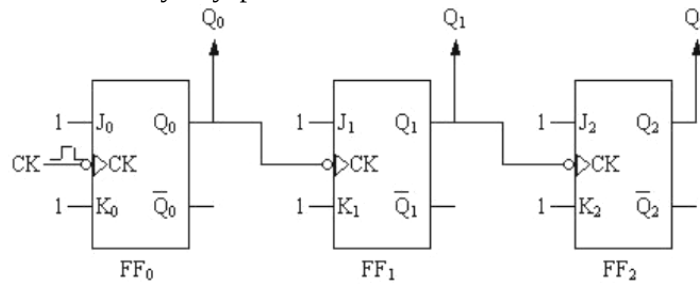


Şekil 1.6 : İki bitlik asenkron geriye sayıcı dalga şekilleri

Şekil 1.5'te JK FF ile yapılan iki bitlik asenkron geriye sayıcı bağlantısı verilmiştir. Şekil 1.6'da dalga şekillerinde negatif kenar yerine pozitif tetikleme palsinin yükselen kenarında çıkışların pozisyonlarına dikkat edelim. JK FF ile yapılan asenkron geriye sayıcıda , FF0'ın clk girişine 0. clk palsi uygulandığında, FF0 ve FF1 konum değiştirir. FF0 konum değiştirerek 0'dan 1'e geçerken Q0 , Q0 tersi olacağından 1'den 0'a geçer. Bu da negatif kenar tetikleme oluşturarak FF1'i tetikler. 1. clk palsinde , FF0 konum değiştirir. Değillenmiş çıkışı 0'dan 1'e geçeceği için düşen kenar palsi oluşmaz ve FF1 konum değiştirmez. Diğer FF tetiklenmeleri de bu mantıkla aynı işleme devam eder. Asenkron geriye sayıcılarda , ilk FF'den sonraki FF'ler için her defasında negatif kenar tetikleme palsini gösterebilmek için değillenmiş çıkışın da dalga şeklini çizmek yerine, normal çıkışın (Q) dalga şekli üzerinde yükselen kenar tetikleme palsinin gösterilmesi aynı sonucu verir.

1.1.2. Üç Bitlik Asenkron İleri Ve Geri Sayıcılar

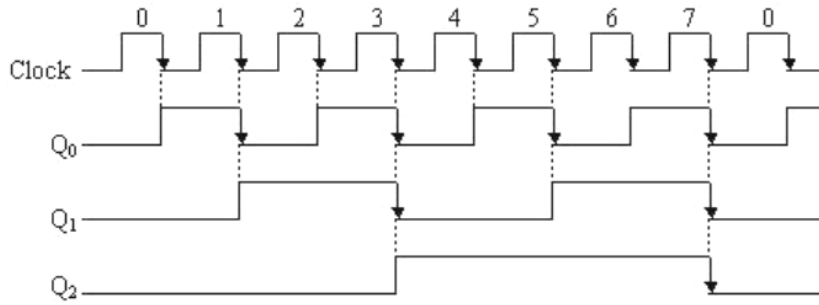
Asenkron sayıcılarda üç bitlik bir sayıcı ile 0'dan 7'ye kadar ileriye veya geriye sayılabilir. Yani mod 8 bir sayıcı yapılabilir.



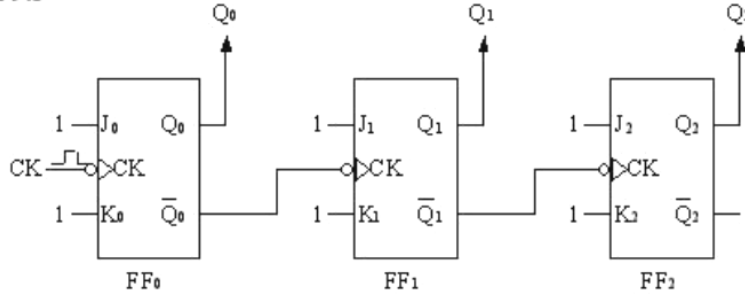
Şekil 1.7 : Üç bitlik asenkron ileriye sayıcı

Clock	Q_2 (2^2)	Q_1 (2^1)	Q_0 (2^0)
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Tablo 1.3 : Üç bitlik asenkron ileri sayıcı doğruluk tablosu



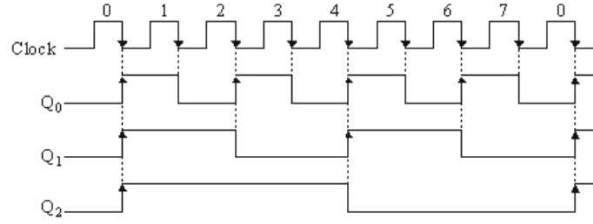
Şekil 1.8 : Üç bitlik asenkron ileri sayıcı dalga şekilleri



Şekil 1.9 : Üç bitlik asenkron geriye sayıcı

Clock	Q_2 (2^2)	Q_1 (2^1)	Q_0 (2^0)
0	1	1	1
1	1	1	0
2	1	0	1
3	1	0	0
4	0	1	1
5	0	1	0
6	0	0	1
7	0	0	0

Tablo 1.4 : Üç bitlik asenkron geriye sayıcının doğruluk tablosu

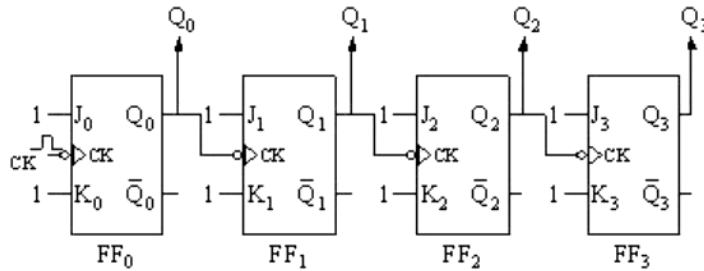


Şekil 1.10: Üç bitlik asenkron geriye sayıcının çıkış dalga şekilleri

Dalga şekilleri incelendiğinde negatif kenarla tetikleme olduğu ve her tetikleme sonucunda uygulanan clock frekansının ikiye bölündüğü görülmektedir. Asenkron geriye sayıcılarda, ilk FF'den sonraki FF'ler için negatif kenar tetikleme palsi yerine Q çıkışının dalga şekli üzerinde pozitif kenar tetikleme palsi kullanılabilir.

1.1.3. Dört Bitlik Asenkron İleri Ve Geri Sayıcılar

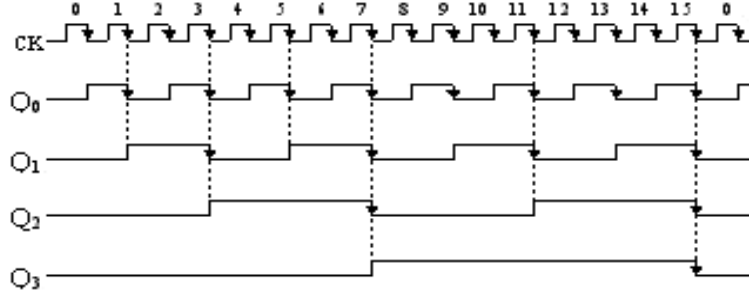
Asenkron sayıcılarla dört FF kullanılması $2n$ (n = sayıcıdaki FF sayısı) $24 = 16$ farklı durum alabileceğini gösterir. Sayıcılarda tekrar yapmadan alabileceği durum sayısına 0 sayıcının modu denir. Öyle ise dört bitlik asenkron ileri sayıcılar mod 16 sayıcıdır. 0'dan 15'e kadar sayabilir. Sayıcı çıkışlarındaki dalga şekillerinden şöyle bir sonuca varabiliriz. FF0 'ın çıkışındaki pals giriştekinin yarısıdır. FF3'ün çıkışındaki ise $1/16$ 'sı kadardır. Yani ilk girişten itibaren 16 pals uygulanmışken FF3 'ün çıkışında ancak bir pals (darbe) oluşmuştur. Bu da bize bu sayıcıları frekans bölücü olarak da kullanabileceğimizi gösterir.



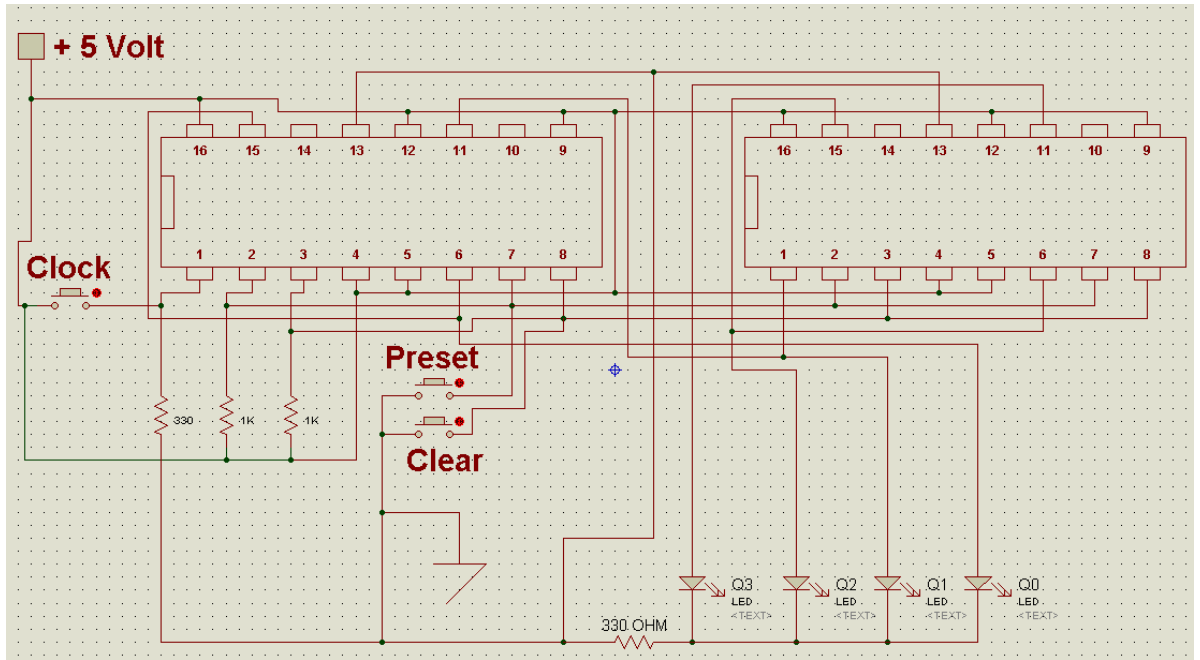
Şekil 1.11: Dört bitlik asenkron ileri sayıcı

Clock	Q_3 2^3	Q_2 2^2	Q_1 2^1	Q_0 2^0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

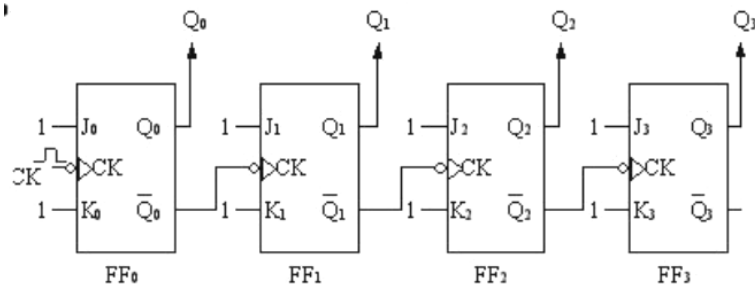
Tablo 1.5: Dört bitlik asenkron ileri sayıcı doğruluk tablosu



Şekil 1.12: Dört bitlik asenkron ileri sayıcının çıkış dalga şekilleri



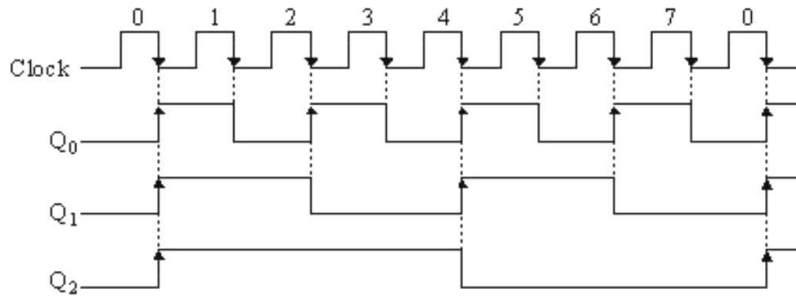
Şekil 1.13: Dört bitlik asenkron ileri sayıcı



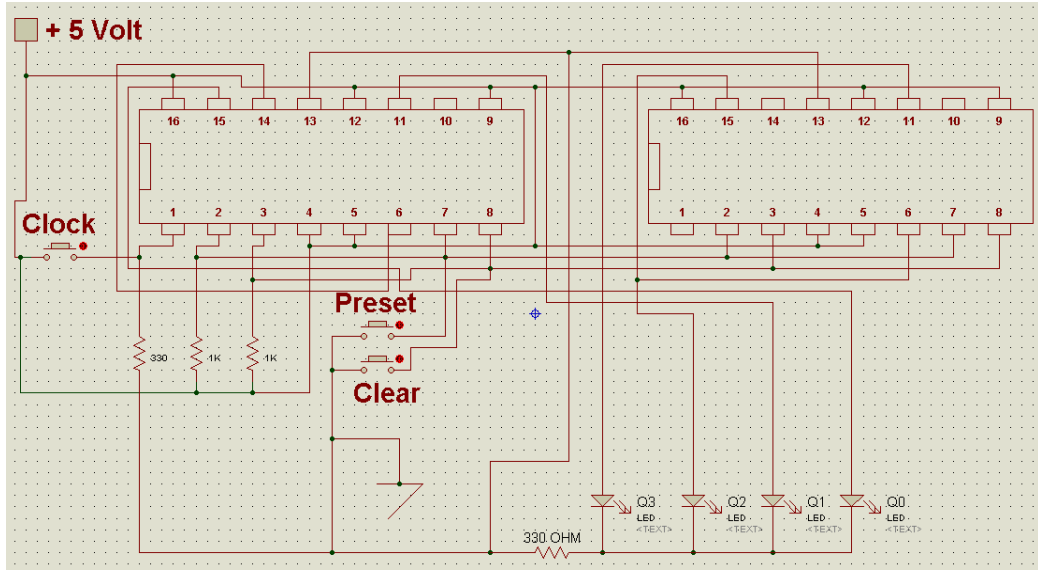
Şekil 1.14: Dört bitlik asenkron geri sayıcı

Clock	Q_3 2^3	Q_2 2^2	Q_1 2^1	Q_0 2^0
0	1	1	1	1
1	1	1	1	0
2	1	1	0	1
3	1	1	0	0
4	1	0	1	1
5	1	0	1	0
6	1	0	0	1
7	1	0	0	0
8	0	1	1	1
9	0	1	1	0
10(A)	0	1	0	1
11(B)	0	1	0	0
12(C)	0	0	1	1
13(D)	0	0	1	0
14(E)	0	0	0	1
15(F)	0	0	0	0

Tablo 1.6 : Dört bitlik asenkron geri sayıcı doğruluk tablosu



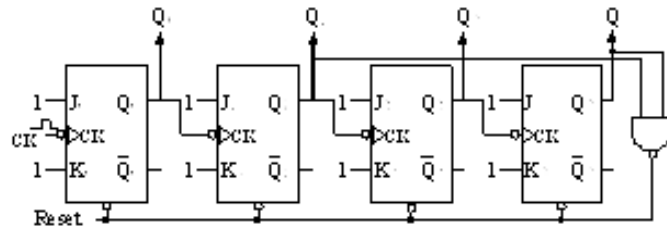
Şekil 1.15 : Dört bitlik asenkron geri sayıcı dalga şekilleri



Şekil 1.16 : Dört bitlik asenkron geri sayıcı

1.1.4. Resetlemeli asenkron ileri ve geri sayıcılar

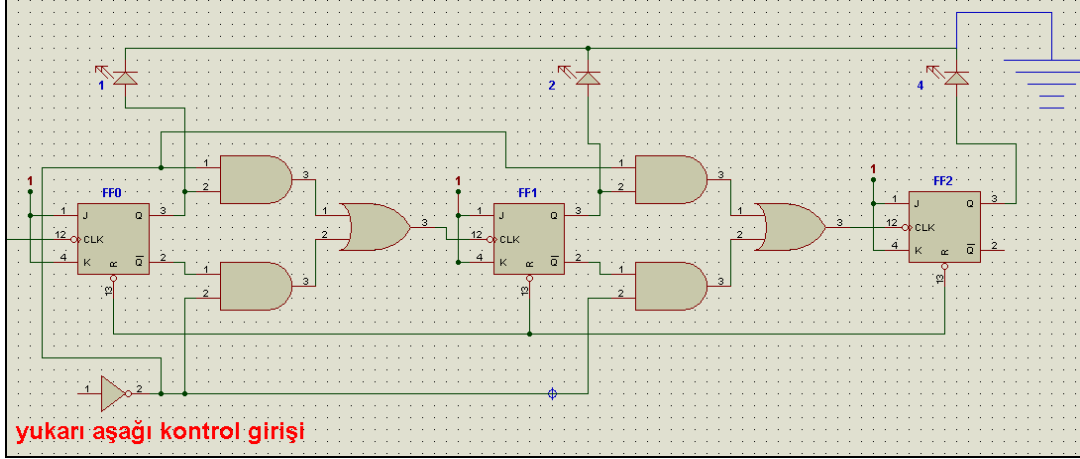
Clk girişi ilk FF'ye uygulanan , her birinin çıkışı bir sonraki FF'nin clk girişine uygulanan ve çıkışlarından silme (clear) ya da sıfırlama ucuna geri besleme (feed back) yapılarak sayması sınırlanan sayıcıya modlu (resetlemeli) asenkron sayıcı denir. FF çıkışlarından geri besleme yapılmadığı sürece sayıcı modu maksimumdur. Sayıcının hangi moda sayması isteniyorsa bunun binary (ikilik) karşılığı alınır.Sayıcı çıkışındaki bit değerleri dikkate alınarak uygun çıkışlar VEDEĞİL $\neg$ kapısına girilir.Kapı çıkışı FF'lerin silme (clear) uçlarına bağlanır. Burada dikkat edilmesi gereken nokta bütün FF'lerin silme uçlarına bağlanmasıdır.



Şekil 1.17: Mod 10 asenkron ileri sayıcı

Mod 10 şekline getirilişi şöyledir. 10 sayısının binary karşılığı (1010) 2 olduğundan Q0=0 , Q1=1 , Q2=0 , Q3=1 olacaktır. Q1 ve Q3 aynı anda 1 olduğunda sayıcı 10'u saymadan sıfırlanır. Yani 0,1,2,3,4,5,6,7,8,9 saydıktan sonra başa döner. Burada şu noktaya dikkat etmeliyiz. Görüldüğü gibi mod 8 için üç bitlik sayıcı devreleri yeterli olacaktır. Yani dört FF kullanarak mod 8 ve aşağısında bir sayıcı tasarlanmamalıdır. Tabloda 1.7'de dört bitlik bir sayıcının ayarlanacak mod değerleri için çıkışlara bağlanabilecek kapılar verilmiştir.

Asenkron geriye sayıcıları tasarlarken de Şekil 1.4'te verilen prensip şemasından faydalanabiliriz.



Şekil 1.18: Mod 8 yukarı-aşağı asenkron sayıcı

Burada bahsetmek istediğimiz bir durum daha vardır. Asenkron sayıcılar yukarı veya aşağı sayıcı olarak düzenlenebildiği gibi ufak bir değişiklikle de hem aşağı hem yukarı sayıcı olarak da ayarlanabilir. Temel yapı aynı olmakla beraber her FF çıkışına konan kontrol devresi bu esnekliği sağlar. Her FF çıkışına bağlanan kontrol devresinin giriş uçlarına, bir öncekinin Q ve Q değil çıkışları kontrol devresinin çıkışı ise bir sonraki FF clk girişine bağlanır. Şekil 1.18’ de verilen mod 8 sayıcının kontrol girişi 1 ise mod 8 asenkron yukarı sayıcı, kontrol girişi 0 ise mod 8 asenkron aşağı sayıcı olarak çalışır.

UYGULAMA FAALİYETİ

İşlem Basamakları	Öneriler
➤ Şekil 1.13'deki devreyi kurunuz.	➤ Devreyi doğrudan deney bordu üzerine kurunuz. ➤ CK ve PR ve CLR butonlarına basılı olmamasına dikkat ediniz. .
➤ Devreye enerji uygulayınız.	➤ Güç kaynağınızın sabit 5V uçlarını kullanınız. ➤ DC gerilimin artı ve eksi uçlarını dikkatli bağlayınız.
➤ CLR butonuna basarak çıkışları sıfırlayınız..	➤ Çıkışların tümünü aynı anda "0" yapmak için Reset (CLR) butonuna basınız.
➤ PR butonuna basarak tüm çıkışların 1 olduğunu ve bütün ledlerin yandığını gözleyiniz.	➤ Çıkıştaki tüm ledlerin ışık verdiğine dikkat ediniz.(Lojik 1).
➤ CK butonuna ard arda basınız.	➤ Her bir CK uygulaması için CK butonuna bir kere basıp bırakınız. ➤ Onaltı kere CK uygulamak için CK butonuna onaltı defa basınız.
➤ Her basışta ledlerin durumlarını gözleyiniz.	➤ Çıkışların "1" olması demek; bu çıkışlara ($Q_0 - Q_3$) bağlı LED'lerin Yanması demektir. ➤ Çıkış LED'lerinin yandığına dikkat ediniz.
➤ Kaç basmadan sonra ledler ilk hallerine döndü gözleyiniz.	➤ Her CK butonuna basışta çıkış ledlerin durumlarını tablo 1.5 ile karşılaştırınız.
➤ CK girişine kare dalga kaynağından bağlantı yapınız.	555 ile osilatör bağlantısını yaparak 3 nolu uçtan çıkış alınız. Bağladığınız pot ile CLK hızını kontrol ediniz.

ÖLÇME VE DEĞERLENDİRME

PERFORMANS TESTİ (YETERLİK ÖLÇME)

Değerlendirme Ölçütleri	Evet	Hayır
1. Şekil 1.13'teki devreyi doğru şekilde kurabildiniz mi ?		
2. Devreyi kurduktan sonra enerji uyguladınız mı?		
3. Tüm çıkışları sıfırlayabildiniz mi?		
4. Tüm çıkışları 1 yapabildiniz mi?		
6. Kare dalga kaynağını bağlayabildiniz mi?		

OBJEKTİF TEST (ÖLÇME SORULARI)

Aşağıdaki ifadeleri dikkatlice okuyarak uygun cevap şıkkını (Doğru / Yanlış) olarak belirtiniz.

1. Asenkron ileriye sayıcıda 1. FF'nin Q çıkışı 2.FF'nin CLK girişine bağlanır. ()
2. Asenkron sayıcılarda CLK sinyali bütün FF'lere aynı anda uygulanır. ()
3. Sayıcı devresi tasarımında JK tipi FF veya T tipi FF kullanmak en kullanışlı yöntemdir. ()
4. Asenkron sayıcılarda CLK palsinin uygulandığı FF'nin bit derecesi en düşük değerlikli (LSB) olmalıdır.()
5. Asenkron heksadesimal sayıcı yapmak için 5 adet FF gerekir. ()
6. Asenkron octal sayıcı tasarımı için 3 adet FF yeterlidir. ()
7. Asenkron mod 8 sayıcı 0,1,2,3,4,5,6,7,8' e kadar sayar. ()
8. Entegre sembolünde herhangi bir giriş ucunda küçük bir daire yoksa , buraya "0" uygulandığında aktif olacağı anlaşılır. ()
9. 4FF 'li asenkron sayıcıda 2.FF arızalanırsa bir sonraki etkilenmez,saymaya devam eder. ()
10. Resetlemeli ileri ve geri sayıcıda çıkışları sıfırlamak için CLR girişlerine her zaman lojik sıfır uygulanır. ()

DEĞERLENDİRME

Cevaplarınızı cevap anahtarı ile karşılaştırınız. Doğru cevap sayınızı belirleyerek kendinizi değerlendiriniz. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt yaşadığınız sorularla ilgili konuları geri dönerek tekrar inceleyiniz. Tüm sorulara doğru cevap verdiyseniz diğer öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ-2

AMAÇ

Gerekli ortam sağlandığında senkron sayıcı uygulamaları yapabileceksiniz.

ARAŞTIRMA

- Senkron sayıcıların kullanım amacını araştırınız.
- D tipi FF ve T tipi FF ile senkron sayıcı tasarımını araştırınız.
- FF dönüşümlerini araştırınız.
- İstenilen sırada sayan senkron sayıcıların karno haritası ile hesabını araştırınız.
- Entegreli Sayıcıların entegrelerini kataloglardan ve İnternette araştırınız.

2. SENKRON SAYICILAR

Bir önceki konuda gördüğümüz gibi asenkron sayıcılarda saat sinyali (Clock palsi) sadece birinci FF'ye dışarıdan uygulanmaktadır. Son FF'ye clk palsinin ulaşması belli bir zaman gecikmesi ile olur. Bunu ortadan kaldırmak için senkron sayıcılar kullanılır. Clock girişleri birleştirilerek aynı anda tetiklenen , sayma sırası tasarıma bağlı olarak değiştirilebilen sayıcılara senkron sayıcılar denir. Senkron ve asenkron sayıcıların tümünde ana elaman Flip Flop elamanıdır. Senkron sayıcılarda ilave olarak lojik kapı kullanımı da gereklidir.

Senkron sayıcı tasarımı için işlem basamakları şu şekildedir:

- FF'lerin sayısı ve tipi belirlenir.
- FF'lerin alacağı çıkış değerleri tablo şeklinde düzenlenir.
- Her bir çıkışın clock palsinden sonra alacağı yeni değer Q_n olarak tabloya kaydedilir.
- Tasarımda kullanılacak FF'ye ait geçiş tablosundan , her bir çıkışın clock palsinden sonra alacağı değere göre geçiş tablosu düzenlenir.
- Geçiş tablosundaki her bir giriş Karno haritasına aktarılır ve çıkış ifadeleri yazılır.
- Çıkış ifadelerine göre devre şeması çizilir.
- Buna uygun bağlantı yapılarak devre çalıştırılır.

Q	Q ₊	S	R	J	K	T	D
0	0	0	X	0	X	0	0
0	1	1	0	1	X	1	1
1	0	0	1	X	0	1	0
1	1	X	0	X	0	0	1

Tablo 2.1: Flip flop geiş tabloları

2.1. İki Bitlik, Ü Bitlik, Dört Bitlik Senkron İleri–Geri Sayıcının Karno Haritası ile Hesaplanması

Senkron sayıcıların tasarımında SR tipi FF , D tipi FF , T tipi FF , ve JK tipi FF kullanılabilir. Hangi FF kullanılacaksa Şekil 2.1 de verilen geiş tablolarından yararlanılır. Biz bu modülde piyasada daha ok kullanımından dolayı , konu anlatımı için JK tipi FF ile senkron sayıcı tasarımını anlatacağız.

2.1.1. İki Bitlik Senkron İleriye Sayıcının JK FF Kullanılarak Tasarımı

Yapılacak işlem basamakları şöyledir:

- 2 adet JK FF kullanılacak.
- FF’lerin alacağı ıkış deęerleri tablo şeklinde düzenlenir.

Onlu	Q ₁	Q ₂
0	0	0
1	0	1
2	1	0
3	1	1

Tablo 2.2: ıkış deęerleri

Her bir ıkışın clock palsinden sonra alacağı yeni deęer Q₊ olarak tabloya kaydedilir.

Q ₁	Q ₁	Q ₁₊
0	0	0
0	0	1
1	1	0
1	1	1

Q ₀	Q ₀	Q ₀₊
0	0	1
1	1	0
0	0	1
1	1	0

Tablo 2.3: Yeni deęerler

Q_1 'in clk palsinden sonra alacağı değer Q_{1+} olarak ; Q_0 'ın clock palsinden sonra alacağı değer Q_{0+} olarak kabul edilmiştir. Buna göre Q_{1+} yazılırken Q_1 sütununda Q_1 'in hemen altındaki değer Q_{1+} olarak alınır.

Tasarımda kullanılacak FF'ye ait geçiş tablosundan , her bir çıkışın clock palsinden sonra alacağı değere göre geçiş tablosu düzenlenir.

Q	Q+	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tablo 2.4: JK FF geçiş tablosu

	Q_1	Q_0	Q_{1+}	Q_{0+}	J_1	K_1	J_0	K_0
0	0	0	0	0	0	X	1	X
1	0	1	1	0	1	X	X	1
2	1	0	1	1	X	0	1	X
3	1	1	0	0	X	1	X	1

Tablo 2.5

Q_1	Q_0	J_1	K_1	J_0	K_0
0	0	0	X	1	X
0	1	1	X	X	1
1	0	X	0	1	X
1	1	X	1	X	1

Tablo 2.6

Tablo 2.5'te Q_1 sütununda "0" ın altında "0" olduğundan 0. satırda Q_{1+} "0" olur. JK FF geçiş tablosundan "0" dan "0" a geçişte $J= 0$ ve $K= X$ olduğu görülmektedir. # 1. satırda "0" olan Q_1 'in altında 1 olduğundan Q_{1+} 1. satıra "1" olarak yazılır. "0" dan "1" e geçişte $J=1$ ve $K= X$ olduğu görülmektedir. # 2. satırda "1" olan Q_1 'in altında "1" vardır. Bundan dolayı Q_{1+} 2. satıra "1" olarak yazılır. "1" den "1" e geçişte $J= X$ ve $K=0$ olduğu görülmektedir. # 3. satırdaki "0" olan Q_1 'in devamında başa döndüğü için ilk satırda "0" olduğundan Q_{1+} 3. satıra "0" olarak yazılır.

"0" dan "0" a geçişte $J= 0$ ve $K= X$ olduğu görülmektedir. Böylece Q_1 sütunun clk palsinden sonra alacağı değerlere göre geçiş tablosu tamamlanmış olur.

Aynı mantıkla Q_{0+} sütununda doldurulur. Dolayısıyla Tablo 2.6'da verilen clock palsinden sonra alacağı değere göre geçiş tablosunun son hali hazırlanmış olur.

Geçiş tablosundaki her bir giriş Karno haritasına aktarılır ve çıkış ifadeleri yazılır.

Q_1	Q_0	J_1	K_1	J_0	K_0
0	0	0	X	1	X
0	1	1	X	X	1
1	0	X	0	1	X
1	1	X	1	X	1

Tablo 2.7: Her çıkışa ait geçiş tablosu

Q_1	Q_0	J_1
0	0	0
0	1	1
1	0	X
1	1	X

Q_1	Q_0	K_1
0	0	X
0	1	X
1	0	0
1	1	1

Q_1	Q_0	J_0
0	0	1
0	1	X
1	0	1
1	1	X

Q_1	Q_0	K_0
0	0	X
0	1	1
1	0	X
1	1	1

J_1	Q_0	Q_1
0	0	1
0	1	X
1	0	X
1	1	1

K_1	Q_0	Q_1
0	0	X
0	1	X
1	0	1
1	1	1

J_0	Q_0	Q_1
0	0	1
0	1	X
1	0	1
1	1	X

K_0	Q_0	Q_1
0	0	X
0	1	1
1	0	X
1	1	1

Geçiş tablosundaki adımlar sırasıyla takip edildiğinde basit bir yapısı olduğu görülür. Buradaki tabloları hiçbir şekilde ezberlemeyiniz. Her tablo birbiri ile bağlantılı oluşturulmaktadır. Burada yapacağınız ezberler , karmaşıklıktan başka bir işe yaramayacaktır.

Burada hatırlatma olarak Karnaugh Harita (KH olarak kısaltılacaktır) Kuralları hatırlatılacaktır.

1-KH giriş değişkenine göre kutulardan oluşur. N giriş değişkeni olmak üzere 2^n kutu sayısını verir. Burada $2^2=4$ kutu olmalıdır.

2-KH hedef en çok 1'i gruplamaktır. Boş kutular 0 demektir. Dikkate alınmaz.

3-Gruplamalardaki kutu sayısı

1,2,4,8... şeklinde olmalıdır.

4-KH üzerinde çapraz gruplama olmaz. Gruplar alt alta ya da yan yana olmalıdır.

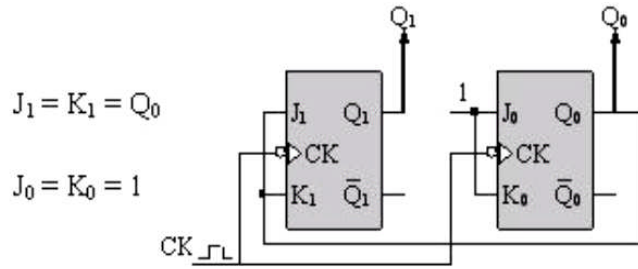
5-KH giriş değişkeninin her birinin ayrı ayrı veya çeşitli ortaklıklarla kesiştirilip Tablo 2.8 Karno tabloları kapsadığı alanlara bölge denir. Çıkış ifadesi yazılırken bölge gurubun hepsini içine almalı yada gurubun hepsini dışarıda bırakmalıdır. Bütün gurup bölgenin içinde ise bölgenin adıyla, dışında ise bilginin değili ile tanımlanır. Gruplama içerisindeki "1" lerden biri veya birkaçı bölge dışında kaldığında , o grup o bölge için dikkate alınmaz.

6-Her bir gurup çıkış ifadesinde çarpım (AND) şeklinde ifade edilir ve her gurup diğerinden bağımsız olarak ilgili bölge veya bölgeler ile tanımlanır.

7-Birden fazla gruplamaya sahip bir KH çıkış ifadesinde , gruplar toplama (OR) işlemine tabi tutulur.

8-KH tüm kutular "1" ise çıkış "1", tüm kutular "0" yada boş ise çıkış "0" olacaktır.

g- Çıkış ifadelerine göre devre şeması çizilir



şekil 2.1: İki bitlik senkron ileri sayıcı devre şeması

2.1.2. İki Bitlik Senkron Geriye Sayıcının JF FF Kullanılarak Tasarımı

Yapılacak işlem basamakları şöyledir:

- 2 adet JK FF kullanılacak.
- FF'lerin alacağı çıkış değerleri tablo şeklinde düzenlenir.

Onlu (Decimal)	Q_1	Q_0
3	1	1
2	1	0
1	0	1
0	0	0

Tablo 2.9: Çıkış değerleri

- Her bir çıkışın clock palsinden sonra alacağı yeni değer Q_+ olarak tabloya kaydedilir.

Q_1	Q_1	Q_{1+}
1	1	1
1	1	0
0	0	0
0	0	1

Q_0	Q_0	Q_{0+}
1	1	0
0	0	1
1	1	0
0	0	1

Tablo 2.10: Yeni değerler

Q_1 'in clk palsinden sonra alacağı değer Q_{1+} olarak ; Q_0 'in clock palsinden sonra alacağı değer Q_{0+} olarak kabul edilmiştir. Buna göre Q_{1+} yazılırken Q_1 sütununda Q_1 'in hemen altındaki değer Q_{1+} olarak alınır.

- Tasarımda kullanılacak FF'ye ait geçiş tablosundan , her bir çıkışın clock palsinden sonra alacağı değere göre geçiş tablosu düzenlenir.

Q	Q+	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tablo 2.11: JK FF geiş tablosu

	Q ₁	Q ₀	Q ₁	Q ₁₊	Q ₀	Q ₀₊	J ₁	K ₁	J ₀	K ₀
0	1	1	1	1	1	0	X	0	X	1
1	1	0	1	0	0	1	X	1	1	X
2	0	1	0	0	1	0	0	X	X	1
3	0	0	0	1	0	1	1	X	1	X

Tablo 2.12: Yeni deęerlerin tespit edilmesi

Q ₁	Q ₀	J ₁	K ₁	J ₀	K ₀
1	1	X	0	X	1
1	0	X	1	1	X
0	1	0	X	X	1
0	0	1	X	1	X

Tablo 2.13: Her bir ıkıřa ait geiş tablosu

Tablo 2.12’de Q₁ sutununda “1” in altında “1” olduęundan 0. satırda Q₁₊ “1” olur. JK FF geiş tablosundan “1” den “1”e geiřte J= X ve K= 0 olduęu grlmektedir. # 1. satırda “1” olan Q₁’in altında 0 olduęundan Q₁₊ 1. satıra “0” olarak yazılır. “1” dan “0” a geiřte J=X ve K=1 olduęu grlmektedir. # 2. satırda “0” olan Q₁’in altında “0” vardır. Bundan dolayı Q₁₊ 2. satıra “0” olarak yazılır. “0” dan “0” a geiřte J= 0 ve K=X olduęu grlmektedir. # 3. satırdaki “0” olan Q₁’in devamında bařa dndę iin ilk satırda “1” olduęundan Q₁₊ 3. satıra “1” olarak yazılır. “0” dan “1” e geiřte J= 1 ve K= X olduęu grlmektedir. Bylece Q₁ sutunun clk palsinden sonra alacaęı deęerlere gre geiş tablosu tamamlanmıř olur.

Aynı mantıkla Q₀₊ sutununda doldurulur. Dolayısıyla Tablo 2.6’ da verilen clock palsinden sonra alacaęı deęere gre geiş tablosunun son hali hazırlanmıř olur.

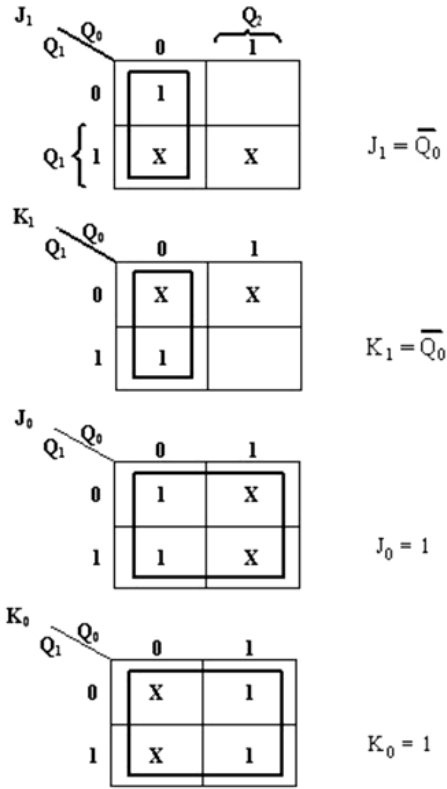
Geiş tablosundaki her bir giriř Karno haritasına aktarılır ve ıkıř ifadeleri yazılır.

Q_1	Q_0	J_1
1	1	X
1	0	X
0	1	0
0	0	1

Q_1	Q_0	K_1
1	1	0
1	0	1
0	1	X
0	0	X

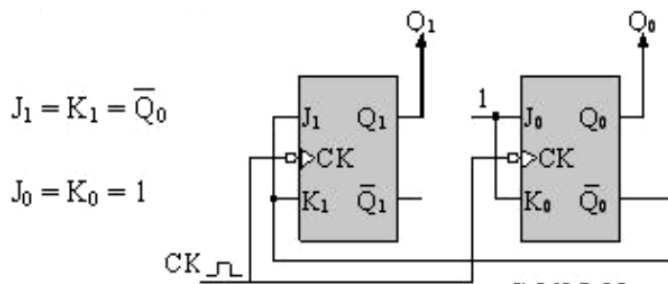
Q_1	Q_0	J_0
1	1	X
1	0	1
0	1	X
0	0	1

Q_1	Q_0	K_0
1	1	1
1	0	X
0	1	1
0	0	X



Tablo 2.14: Karno Haritasına aktarılışı ve sadeleştirme

Çıkış ifadelerine göre devre şeması çizilir.



Şekil 2.2: İki bitlik senkron geri sayıcı devre şeması

2.1.3. Üç Bitlik Senkron İleriye Sayıcının Jk Ff Kullanılarak Tasarımı

Yapılacak işlem basamakları şöyledir:

- 3 adet JK FF kullanılacak.
- FF 'ların alacağı çıkış değerleri tablo şeklinde düzenlenir.

Dec.	Q ₂	Q ₁	Q ₀
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Tablo 2.15: Çıkış tablosu

Her bir çıkışın clock palsinden sonra alacağı yeni değer Q⁺ olarak tabloya kaydedilir ve JK FF'a ait geçiş tablosundan, her bir çıkışın clock palsinden sonra alacağı değere göre geçiş tablosu düzenlenir.

Q	Q ⁺	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tablo 2.16: JK FF geçiş tablosu

Q ₂	Q ₁	Q ₀	Q ₂	Q ₂₊	Q ₁	Q ₁₊	Q ₀	Q ₀₊	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀
0	0	0	0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	0	0	1	1	0	0	X	1	X	X	1
0	1	0	0	0	1	1	0	1	0	X	X	0	1	X
0	1	1	0	1	1	0	1	0	1	X	X	1	X	1
1	0	0	1	1	0	0	0	1	X	0	0	X	1	X
1	0	1	1	1	0	1	1	0	X	0	1	X	X	1
1	1	0	1	1	1	1	0	1	X	0	X	0	1	X
1	1	1	1	0	1	0	1	0	X	1	X	1	X	1

Tablo 2.17: Her bir çıkışa ait geçiş tablosu

J_2	$Q_1 Q_0$	00	01	11	10
Q_2	0			1	
Q_2	1	X	X	X	X
		Q_0			
		$J_2 = Q_0 \cdot Q_1$			

K_2	$Q_1 Q_0$	00	01	11	10
Q_2	0	X	X	X	X
Q_2	1			1	
		$K_2 = Q_0 \cdot Q_1$			

J_1	$Q_1 Q_0$	00	01	11	10
Q_1	0		1	X	X
Q_1	1		1	X	X
		$J_1 = Q_0$			

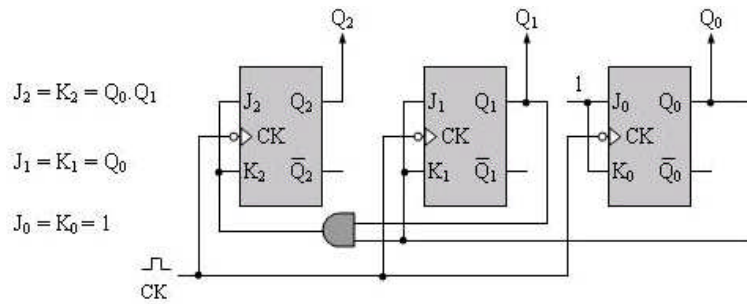
K_1	$Q_1 Q_0$	00	01	11	10
Q_1	0	X	X	1	
Q_1	1	X	X	1	
		$K_1 = Q_0$			

J_0	$Q_1 Q_0$	00	01	11	10
Q_0	0	1	X	X	1
Q_0	1	1	X	X	1
		$J_0 = 1$			

K_0	$Q_1 Q_0$	00	01	11	10
Q_0	0	X	1	1	X
Q_0	1	X	1	1	X
		$K_0 = 1$			

Tablo 2.18: Karno haritasına aktarılışı ve sadeleştirme

Yukarıda yapılan sadeleştirme işlemine göre devre şeması aşağıdaki gibi çizilir.



Şekil 2.3: Üç bitlik senkron ileri sayıcı bağlantısı

2.1.4. Üç Bitlik Senkron Geriye Sayıcının JK FF Kullanılarak Tasarımı

Yapılacak işlem basamakları şöyledir:

- 3 adet JK FF kullanılacak.
- FF 'ların alacağı çıkış değerleri tablo şeklinde düzenlenir.

Dec.	Q ₂	Q ₁	Q ₀
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0

Tablo 2.15: Çıkış tablosu

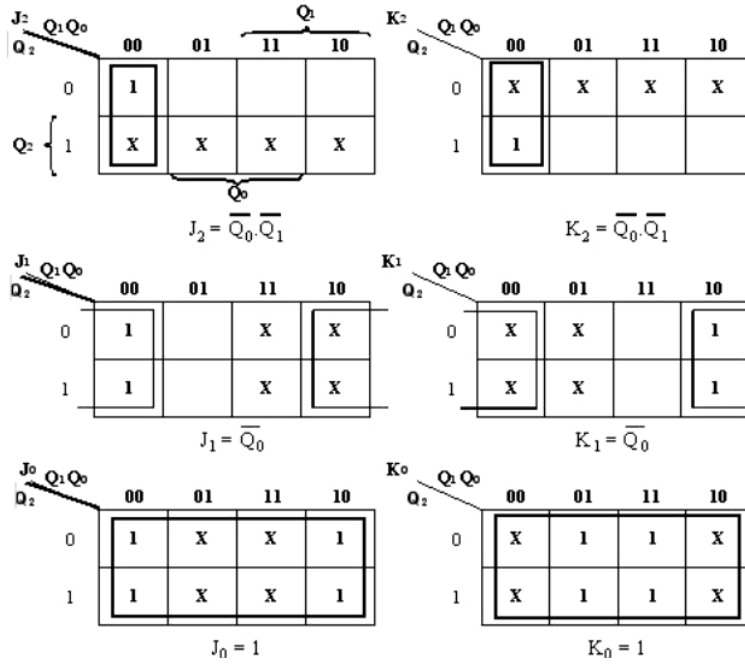
Her bir çıkışın clock palsinden sonra alacağı yeni değer Q₊ olarak tabloya kaydedilir ve JK FF'a ait geçiş tablosundan, her bir çıkışın clock palsinden sonra alacağı değere göre geçiş tablosu düzenlenir.

Q	Q ₊	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tablo 2.16: JK FF Geçiş tablosu

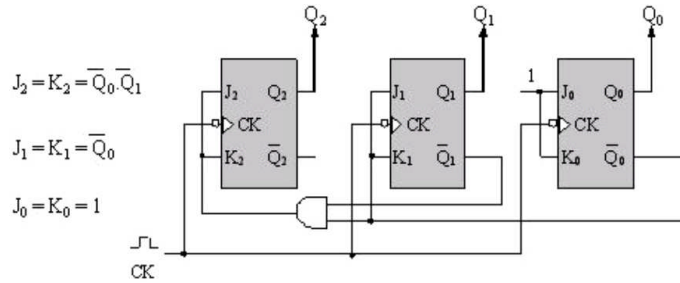
Q ₂	Q ₁	Q ₀	Q ₂	Q ₂₊	Q ₁	Q ₁₊	Q ₀	Q ₀₊	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀
1	1	1	1	1	1	1	1	0	X	0	X	0	X	1
1	1	0	1	1	1	0	0	1	X	0	X	1	1	X
1	0	1	1	1	0	0	1	0	X	0	0	X	X	1
1	0	0	1	0	0	1	0	1	X	1	1	X	1	X
0	1	1	0	0	1	1	1	0	0	X	X	0	X	1
0	1	0	0	0	1	0	0	1	0	X	X	1	1	X
0	0	1	0	0	0	0	1	0	0	X	0	X	X	1
0	0	0	0	1	0	1	0	1	1	X	1	X	1	X

Tablo 2.17: Her bir çıkışa ait geçiş tablosu



Tablo 2.18: Karno haritasına aktarılışı ve sadeleştirme

Yukarıda yapılan sadeleştirme işlemine göre devre şeması aşağıdaki gibi çizilir.



Şekil 2.3: Üç bitlik senkron geri sayıcı devre bağlantısı

2.1.5. Dört Bitlik Senkron İleriye Sayıcının JK FF Kullanılarak Tasarımı

Yapılacak işlem basamakları şöyledir;

- 4 adet JK FF kullanılacak.
- FF'ların alacağı çıkış değerleri tablo şeklinde düzenlenir.

Dec.	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

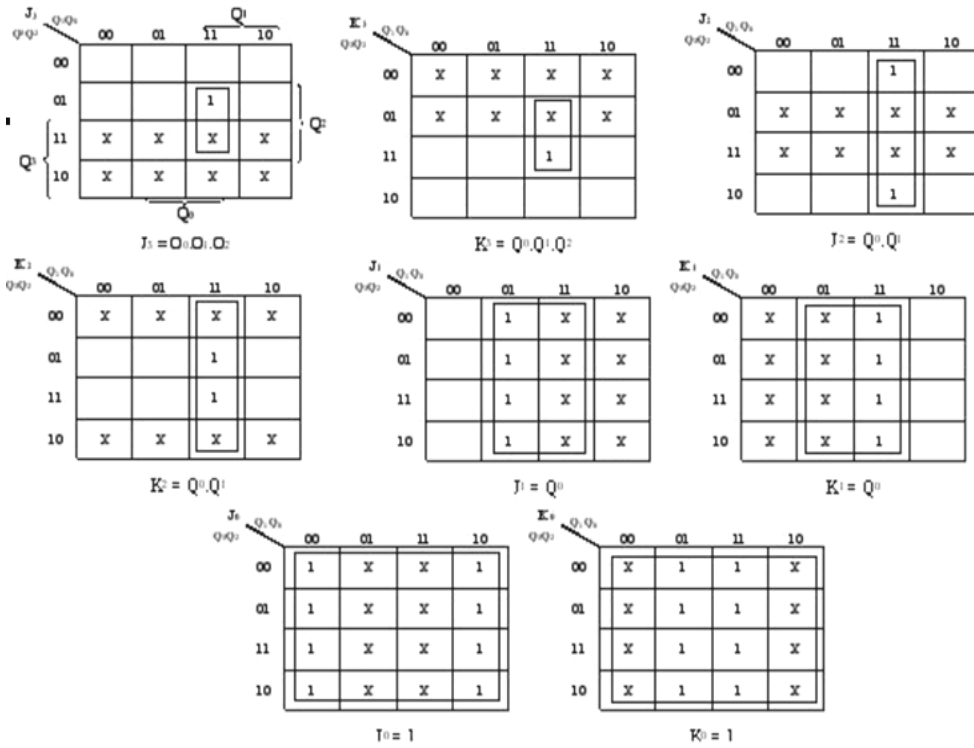
Tablo 2.19: Çıkış değerleri

Q	Q+	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tablo 2.20: JK FF geçiş tablosu

Q ₃	Q ₂	Q ₁	Q ₀	Q ₃	Q ₃₊	Q ₂	Q ₂₊	Q ₁	Q ₁₊	Q ₀	Q ₀₊	J ₃	K ₃	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀	
0	0	0	0	0	0	0	0	0	0	0	1	0	X	0	X	0	X	1	X	
0	0	0	1	0	0	0	0	0	1	1	0	0	X	0	X	1	X	X	1	
0	0	1	0	0	0	0	0	1	1	0	1	0	X	0	X	X	0	1	X	
0	0	1	1	0	0	0	1	1	0	1	0	0	X	1	X	X	1	X	1	
0	1	0	0	0	0	0	1	1	0	0	1	0	X	X	0	0	X	1	X	
0	1	0	1	0	0	0	1	1	0	1	1	0	0	X	X	0	1	X	1	
0	1	1	0	0	0	0	1	1	1	0	1	0	X	X	0	X	0	1	X	
0	1	1	1	0	0	1	1	0	1	0	1	0	1	X	X	1	X	1	X	
1	0	0	0	0	1	1	0	0	0	0	0	1	X	0	X	0	X	1	X	
1	0	0	1	0	1	1	0	0	0	1	1	0	X	0	0	X	1	X	1	
1	0	1	0	0	1	1	0	0	1	1	0	1	X	0	0	X	X	0	1	X
1	0	1	1	0	1	1	0	1	1	0	1	0	X	0	1	X	X	1	X	1
1	1	0	0	0	1	1	1	1	0	0	0	1	X	0	X	0	0	X	1	X
1	1	0	1	0	1	1	1	1	0	1	1	0	X	0	X	0	1	X	1	X
1	1	1	0	0	1	1	1	1	1	0	1	0	X	0	X	0	X	0	1	X
1	1	1	1	0	1	0	1	0	1	0	1	0	X	1	X	1	X	1	X	1

Tablo 2.21: Her bir çıkışa ait geçiş tablosu



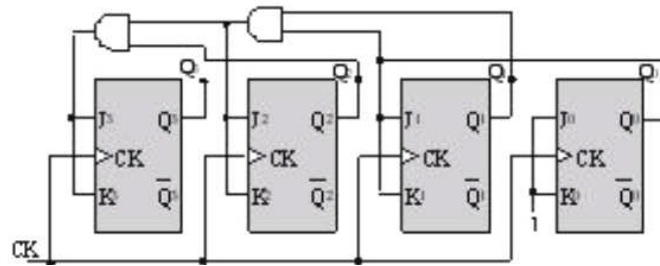
Tablo 2.22: Karno haritasına aktarılışı ve sadeleştirilmiş çıkışlar

$$J_0 = K_0 = 1$$

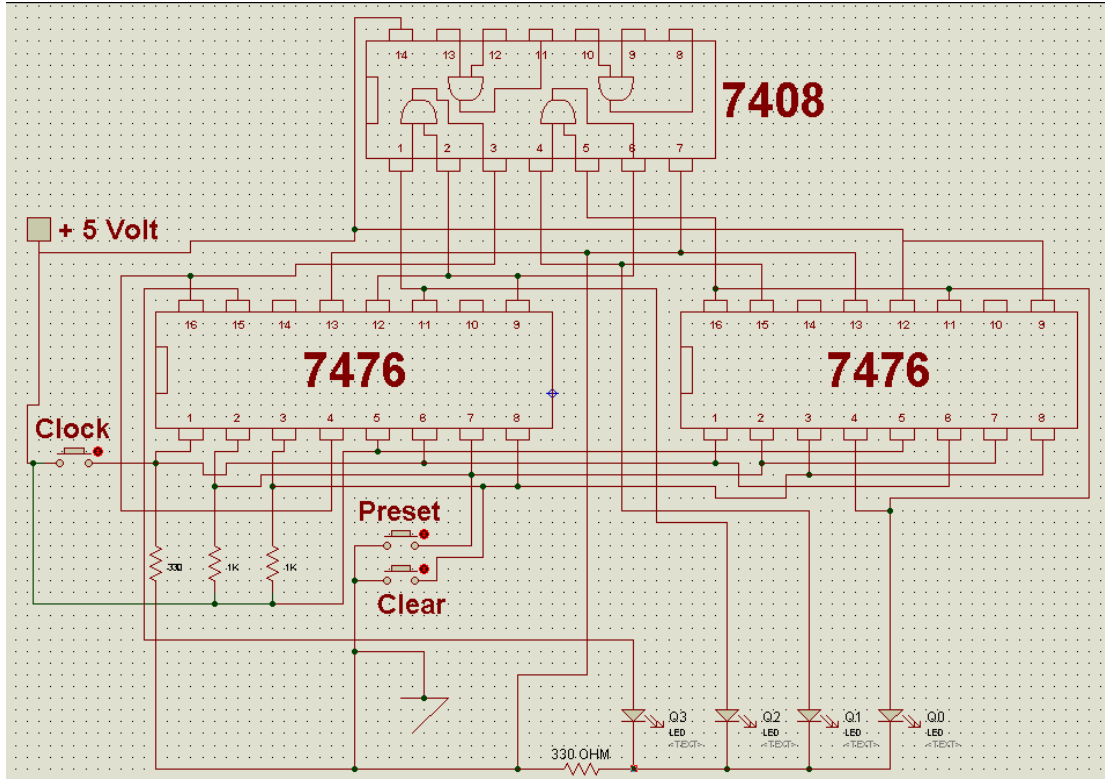
$$J_2 = K_2 = Q_0 \cdot Q_1$$

$$J_1 = K_1 = Q_0$$

$$J_3 = K_3 = Q_0 \cdot Q_1 \cdot Q_2$$



Şekil 2.4: Dört bit senkron ileri sayıcı devre şeması



Şekil 2.5: Dört bit senkron ileri sayıcı uygulaması bağlantısı

2.1.6. Dört Bitlik Senkron Geriye Sayıcının JK FF Kullanılarak Tasarımı

Yapılacak işlem basamakları şöyledir:

- 4 adet JK FF kullanılacak.
- FF 'ların alacağı çıkış değerleri tablo şeklinde düzenlenir.

Dec.	Q ₃	Q ₂	Q ₁	Q ₀
0	1	1	1	1
1	1	1	1	0
2	1	1	0	1
3	1	1	0	0
4	1	0	1	1
5	1	0	1	0
6	1	0	0	1
7	1	0	0	0
8	0	1	1	1
9	0	1	1	0
10	0	1	0	1
11	0	1	0	0
12	0	0	1	1
13	0	0	1	0
14	0	0	0	1
15	0	0	0	0

Tablo 2.23: Dört bitlik senkon geri sayıcı çıkış tablosu

Q	Q ⁺	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

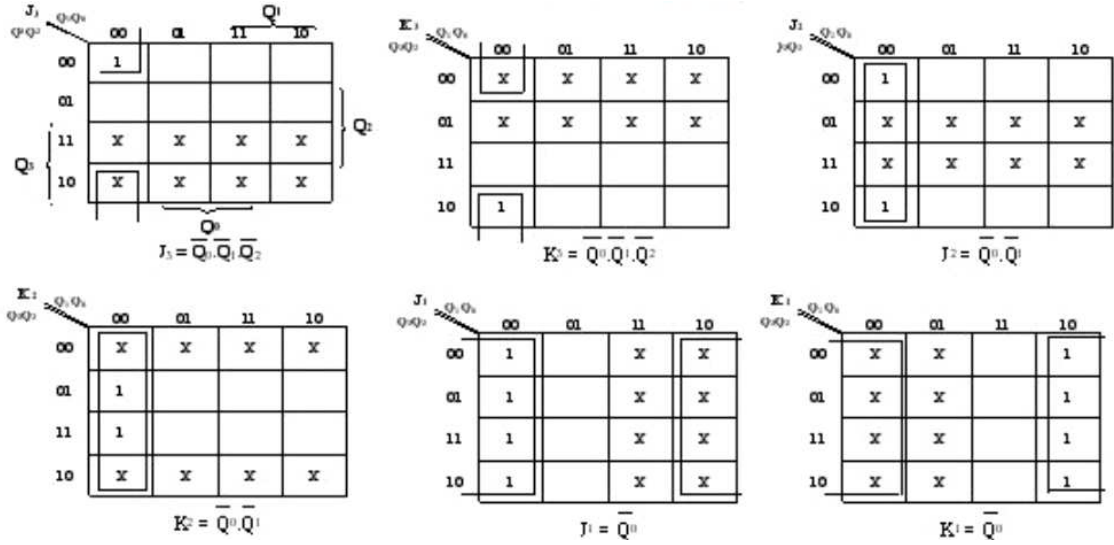
Q ₃	Q ₂	Q ₁	Q ₀	Q ₃	Q ₃ ⁺	Q ₂	Q ₂ ⁺	Q ₁	Q ₁ ⁺	Q ₀	Q ₀ ⁺	J ₃	K ₃	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀
1	1	1	1	1	1	1	1	1	1	1	0	X	0	X	0	X	0	X	1
1	1	1	0	1	1	1	1	1	0	0	1	X	0	X	0	X	1	1	X
1	1	0	1	1	1	1	1	0	0	1	0	X	0	X	0	0	X	X	1
1	1	0	0	1	1	1	0	0	1	0	1	X	0	X	1	1	X	1	X
1	0	1	1	1	1	0	0	1	1	1	0	X	0	0	X	X	0	X	1
1	0	1	0	1	1	0	0	1	0	0	1	X	0	0	X	X	1	1	X
1	0	0	1	1	1	0	0	0	0	1	0	X	0	0	X	0	X	X	1
1	0	0	0	1	0	0	1	0	1	0	1	X	1	1	X	1	X	1	X
0	1	1	1	0	0	1	1	1	1	1	0	0	X	X	0	X	0	X	1
0	1	1	0	0	0	1	1	1	0	0	1	0	X	X	0	X	1	1	X
0	1	0	1	0	0	0	1	1	0	0	1	0	X	X	0	0	X	X	1
0	1	0	0	0	0	0	1	0	0	1	0	0	X	X	1	1	X	1	X
0	0	1	1	0	0	0	0	1	1	1	0	0	X	0	X	X	0	X	1
0	0	1	0	0	0	0	0	1	0	0	1	0	X	0	X	X	1	1	X
0	0	0	1	0	0	0	0	0	0	1	0	0	X	0	X	0	X	X	1

Tablo 2.24: JK FF geiş tablosu

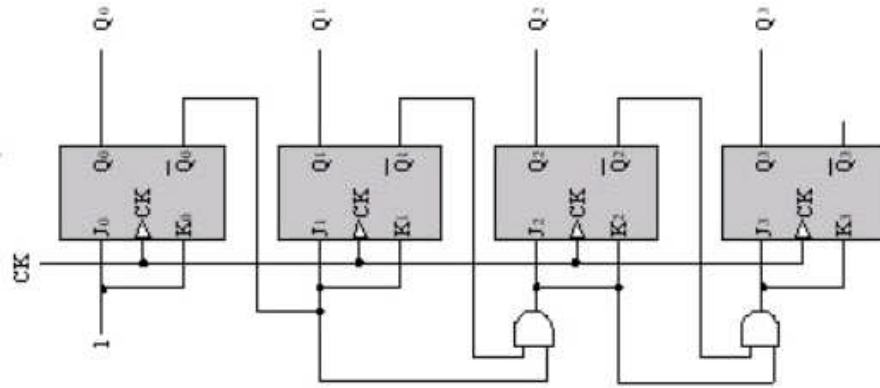
J ₀ Q ₃ Q ₂	Q ₁ Q ₀				K ₀ Q ₃ Q ₂	Q ₁ Q ₀			
	00	01	11	10		00	01	11	10
00	1	X	X	1	00	X	1	1	X
01	1	X	X	1	01	X	1	1	X
11	1	X	X	1	11	X	1	1	X
10	1	X	X	1	10	X	1	1	X

J⁰ = 1 K⁰ = 1

Tablo 2.25: Her bir çıkışa ait geiş tablosu



Tablo 2.26: Karno haritasına aktarılışı ve sadeleştirilmiş çıkışlar



Şekil 2.6: Dört bit senkron geri sayıcı

2.2. İstenilen Sıra göre Sayan Sayıcının Karno Haritası ile Hesaplanması

Öncelikle istenilen özelliklere göre çıkış tablosu hazırlanır. Tablo 2.27 deki sıra göre çıkış verecek sayıcıyı JK FF kullanarak adım adım tasarlayalım.

2 adet FF kullanılacaktır.

Q_1	Q_0
0	1
0	0
1	1
1	0

Tablo 2.27: Çıkış durumları

Hangi tip FF kullanılacaksa onun geçiş tablosu durumuna bakılır. Tablo 2.28 JK FF geçiş tablosunu verir.

Q	Q_+	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tablo 2.28: JK FF geçiş tablosu

Tablo 2.29 daki durum Tablo 2.5 teki mantıkla geçiş tablosu durumu ortaya çıkarılır. Sonra Tablo 2.30 daki geçiş durumları belirlenir. Sonraki adımda geçiş tablosu sonuçları karno haritasına aktarılarak çıkış durumları Tablo 2.31 'deki gibi belirlenir.

Q_1	Q_0	Q_1	Q_1+	Q_0	Q_0+	J_1	K_1	J_0	K_0
0	1	0	0	1	0	0	X	X	1
0	0	0	1	0	1	1	X	1	X
1	1	1	1	1	0	X	0	X	1
1	0	1	0	0	1	X	1	1	X

Tablo 2.29: Geçiş durumunu belirleme çalışması

Q_1	Q_0	J_1	K_1	J_0	K_0
0	1	0	X	X	1
0	0	1	X	1	X
1	1	X	0	X	1
1	0	X	1	1	X

Tablo 2.30: Her bir çıkışa ait geçiş tablosu

		Q_0	
		0	1
J_0	0	1	X
	1	1	X

$J_0 = 1$

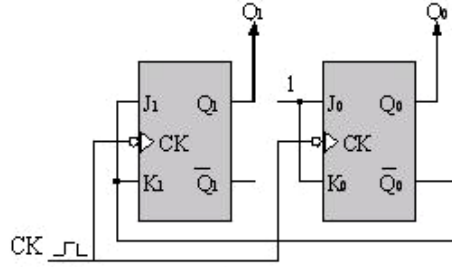
K_0	Q_0	0	1
0	Q_1	X	1
1	Q_1	X	1
$K_0 = 1$			

K_1	Q_0	0	1
0	Q_1	X	X
1	Q_1	1	
$K_1 = \overline{Q_0}$			

J_1	Q_0	0	1
0	Q_1	1	
1	Q_1	X	X
$J_1 = \overline{Q_0}$			

Tablo 2.31: Karno haritası ile sadeleştirilmiş çıkışların elde edilmesi

$$J_1 = K_1 = \overline{Q_0} \quad J_0 = K_0 = 1$$



Şekil 2.7: İstenilen sırada sayan senkron sayıcı devresi

Yukarıda anlatılan işlem basamakları ile istenilen sırada sayan senkron sayıcı tasarımı yapmak mümkündür. Bu anlatılanları bir örnek uygulama devresi yaparak pekiştirelim.

ÖRNEK:

Elimizde üç adet (Yeşil , Sarı , Kırmızı) Lamba vardır. Öncelikle Yeşil yanıp sönecek , sonra Sarı yanıp sönecek , en sonrada kırmızı yanıp sönecektir. Bir sonraki adımda hepsi sönük olacak ve sonrasında yeşil , sarı , kırmızı lambaların hepsi yanacak ve yandıktan sonra bu çalışma döngü şeklinde devam edecektir. Bu çalışmayı sağlayacak senkron sayıcı devresini JK FF kullanarak tasarlayalım.

LAMB DEVRESİ		
Q_2	Q_1	Q_0

Çözüm:

Öncelikle istenilen çıkış sırası tablosu hazırlanır. Lojik “1” ile ifade edilen çıkışlardaki lambalar yanıyor anlamındadır. “0” ile belirtilenler sönük anlamındadır.

Q_2	Q_1	Q_0
1	0	0
0	1	0
0	0	1
0	0	0
1	1	1

Tablo 2.32: İstenilen çıkışlar

Q	Q_+	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tablo 2.33: JK FF geçiş tablosu

JK FF geçiş tablosundan yararlanarak her bir çıkışa ait geçiş tablosu düzenlenir. Tablo düzenlenirken Q_2 'nin alt satırında 0 olduğu görülmektedir. Geçiş bölümüne aktarılır. Q_2 Q_{2+} sonrasında J_2 ve K_2 durumları JK FF geçiş tablosuna bakılarak belirlenir ve diğer pozisyonlarda bu mantıkla oluşturulur.

Q_2	Q_1	Q_0	Q_2	Q_{2+}	Q_1	Q_{1+}	Q_0	Q_{0+}	J_2	K_2	J_1	K_1	J_0	K_0
1	0	0	1	0	0	1	0	0	X	1	1	X	0	X
0	1	0	0	0	1	0	0	1	0	X	X	1	1	X
0	0	1	0	0	0	0	1	0	0	X	0	X	X	1
0	0	0	0	1	0	1	0	1	1	X	1	X	1	X
1	1	1	1	1	1	0	1	0	X	0	X	1	X	1

Tablo 2.34: Her bir çıkışa ait geçiş tablosu

Geçiş tablosu bu şekilde hazırlandıktan sonra çıkışların durumlarını en sade hale getirmek için karno haritasından yararlanılır. Aşağıdaki şekilde karno haritası uygulaması yapılarak en sade çıkışlar bulunur. Bu çıkışlara göre de devre şeması çıkarılır.

J_0	$Q_1 Q_0$	00	01	11	10
	Q_2	0	1	0	1
0	0	1	X	B	1
1	1		B	X	B

$$J_0 = \overline{Q_2}$$

K_0	$Q_1 Q_0$	00	01	11	10
	Q_2	0	1	0	1
0	0	X	1	B	X
1	1	X	B	1	B

$$K_0 = 1$$

J_1	$Q_1 Q_0$	00	01	11	10
	Q_2	0	1	0	1
0	0	1		B	X
1	1	1	B	X	B

$$J_1 = \overline{Q_0}$$

K_1	$Q_1 Q_0$	00	01	11	10
	Q_2	0	1	0	1
0	0	X	X	B	1
1	1	X	B	1	B

$$K_1 = 1$$

J_2	$Q_1 Q_0$	00	01	11	10
	Q_2	0	1	0	1
0	0	1		B	
1	1	X	B	X	B

$$J_2 = \overline{Q_0} \cdot \overline{Q_1}$$

K_2	$Q_1 Q_0$	00	01	11	10
	Q_2	0	1	0	1
0	0	X	X	B	X
1	1	1	B		B

$$K_2 = \overline{Q_1}$$

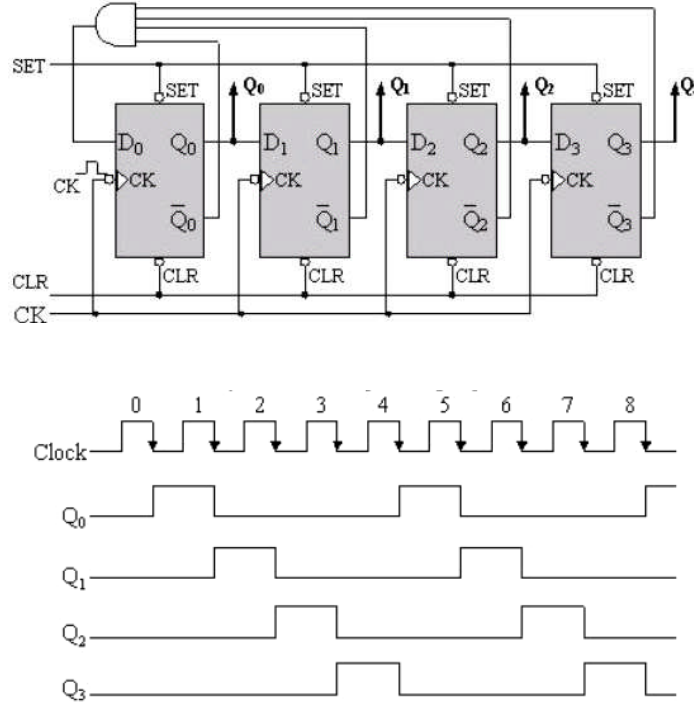
Tablo 2.35: Karno haritası ile sadeleştirilmesi

Sadeleştirme işleminden sonra istenilen devre şeması istenilen özelliklere göre Şekil 2.7'deki gibi çıkarılır.

Tüm FF'ler sıfırlandığında , değillenmiş çıkışlar “1” olur. 3. FF'nin değillenmiş çıkışı 0. FF'nin D girişine bağlı olduğundan 1. clk pulsı geldiğinde Q0=1 olur. Diğer FF çıkışları “0” dır. 2. clk pulsı geldiğinde Q3'ün değillenmiş çıkışı hala “1” olduğundan Q0=1 olarak kalır , aynı zamanda Q1=1 olur. 3. clk pulsında Q0,Q1,Q2=1 ve Q3=0 olur. 4. clk pulsında tüm çıkışlar “1” iken bu çıkışlara ait değiller ise “0” dır.5. clk pulsında Q3'ün değili “0” olduğundan D0'a “0” gelir ve Q0 = 0 olur. Bundan sonraki clk pulslerinde FF çıkışlarına “0” yerleşir.

2.3.2. Yürüyen Ring Sayıcı (Kayıcı Halka Sayıcı)

Her clk pulsında sırasıyla 1. FF'den en son FF'ye kadar yalnızca bir FF çıkışını “1” yaparak döngüye giren sayıcılara yürüyen ring sayıcı denir. Kayma yönü sağdan sola olabileceği gibi soldan sağa da olabilir.



Şekil 2.9: Yürüyen ring sayıcı blok şeması ve dalga şekilleri

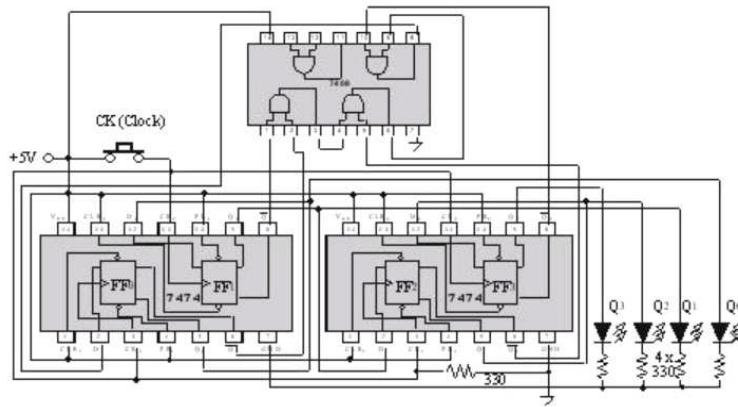
Şekil 2.9'da devreye enerji uygulandıktan sonra CLR (clear) girişine “0” verilerek tüm FF'lerin Q çıkışları sıfırlanır. Q=0 ise Q'=1 dir. AND (ve) kapısı girişlerinin tümü aynı anda “1” olacağından , çıkışı da “1” olur. AND kapısı çıkışı ilk FF girişine (D0) bağlı olduğundan D0=1 olur. Diğer FF girişleri Q çıkışlarına bağlı olduğu için “0” olacaktır. Yani D0=1 , D1=0 , D2=0 , D3=0 olur. Q0=1 ve Q0'=0 olur. Bu durumda AND kapısı girişlerinden biri “0” olacağından çıkışı da “0” olur. Yeni çıkış Değerleri D0=0 , D1=1 , D2=0 , D3=0 olur. Sonraki clk pulsında Q0=0 , Q1=1 , Q2=0 , Q3=0 olur. Görüldüğü gibi döngüye giren “1” İlk FF'den başlayıp sonuncuya kadar dolaşır.

Clock	Q ₀	Q ₁	Q ₂	Q ₃
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	1	0	0
4	1	0	0	0

Tablo 2.36. Sağa kaymalı ring sayıcı

Clock	Q ₀	Q ₁	Q ₂	Q ₃
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	0	0	1	0
4	0	0	0	1

Tablo 2.37: Sola kaymalı ring sayıcı



Şekil 2.10: Yürüyen ring sayıcı uygulama devresi

Yürüyen ring sayıcıda ilk FF girişine uygulanan “1”, clock palsinden sonra çıkışa aktarılır. Her clock palsinden sonra bir sonraki FF çıkışından alınır. Yani “1” sırasıyla dolanırken diğer FF çıkışları “0” olur.

İlk anda devre girişine “1” uygulamak için AND kapısı girişlerine Q’ çıkışları bağlanır. Değillenmiş çıkışların hepsi 1 iken AND kapısı çıkışı da “1” olacaktır. Böylece 1. FF girişine “1” uygulanmış olacaktır.

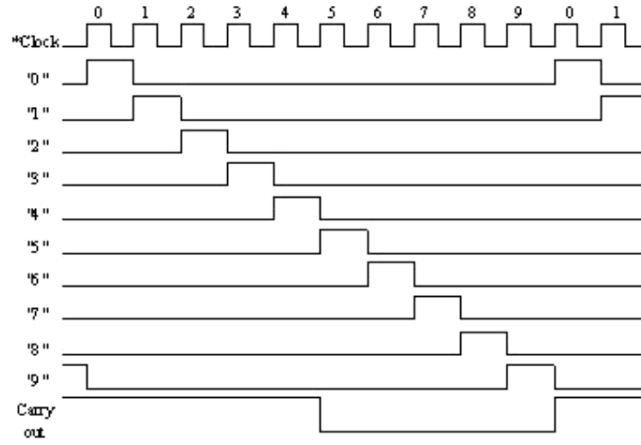
Çıkışlardan herhangi biri “1” olduğunda değil “0” olacağı için AND kapı çıkışında “0” olur. Böylece ilk FF girişine “0” bilgisi girer. Dolayısı ile 1. FF girişine bir kere “1” yüklendikten sonra bu yüklenen değer döngü içerisinde saymaya devam edilir.

2.4. Entegre Sayıcılar

Entegre içerisinde yerleştirilmiş hazır durumdaki sayıcı devrelerine entegre devre sayıcılar denir. Piyasada ihtiyaca cevap verebilecek şekilde hazır sayıcı entegreleri mevcuttur. Bunlardan bazıları gelecek konular içerisinde anlatılacaktır.

2.4.1 Decimal (Desimal – Onlu) Sayıcı (4017)

Her clk palsinde sırayla birinci FF’den onuncu FF’ye kadar yalnızca bir FF çıkışı “1” olur. Bu şekilde döngü devam eder. Bu tip sayıcılara desimal sayıcı denir. Bu sayıcılar için 4017 numaralı entegre kullanılabilir.

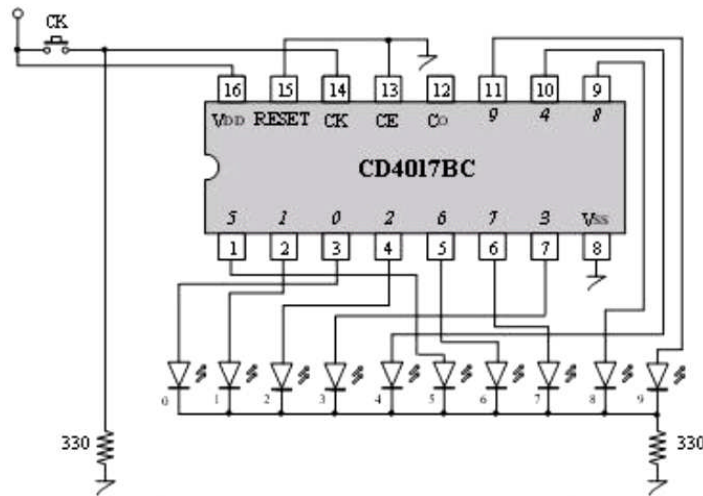


NOT Reset=0 , Clock Enable=0 durumunda olmalıdır.

Şekil 2.13: 4017 Entegresi çıkış dalga şekilleri

4017 entegresi onlu sayıcı / bölücü olarak düzenlenmiştir. Clk palsi entegrenin 14 no'lu ayağına uygulanır. Çıkışlardan sadece bir tanesi "1" , diğerleri "0" dır. Entegrenin bu şekilde çalışması için reset ve clock enable girişleri "0" yapılmalıdır. Clock enable (izin) "1" olduğu sürece , çıkışları olduğu konumda sabitler. Başlangıçta "1" olan carry out (elde çıkışı) 5. çıkış "1" olduğunda "1" den "0" a geçer. Devreyi başlangıç pozisyonuna getirmek için reset girişine "1" verilir.

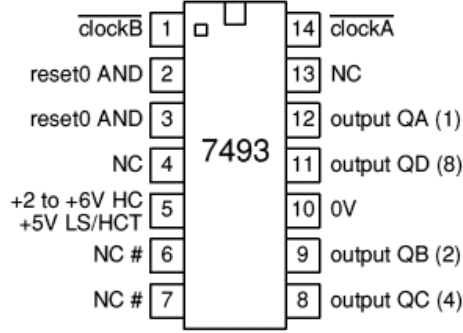
Eğer onlu sayıcı yerine herhangi bir değerde sayıcı yapılmak istenirse döndürülmek istenen çıkış doğrudan resete bağlanır. Örneğin mod 8 sayıcı için yani sürekli ve sırasıyla 0,1,2,3,4,5,6,7 şeklinde saydırma yapmak için entegrenin 9 nolu ayağı (8 nolu çıkış ucu) reset ucuna bağlanır. Sayma işlemi tekrarlı değil de bir defalık yapılacaksa entegrenin 9 nolu ayağı 13 nolu (Clock Enable) ayağına bağlanır.



Şekil 2.14: 4017 Entegresi ile onlu sayıcı devre bağlantısı

2.4.2 İkili (Binary) Sayıcı:

Binary sayıcı entegresi olarak değişik modeller mevcut olmakla beraber burada 7493 entegresi anlatılacaktır.



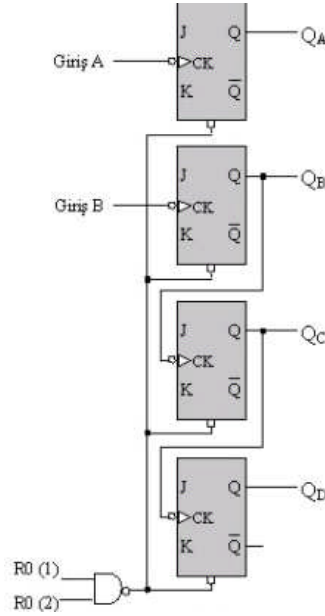
Şekil 2.15: 7493 entegresi ayak yapısı

Clock	Q_D (2^3)	Q_C (2^2)	Q_B (2^1)	Q_A (2^0)
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

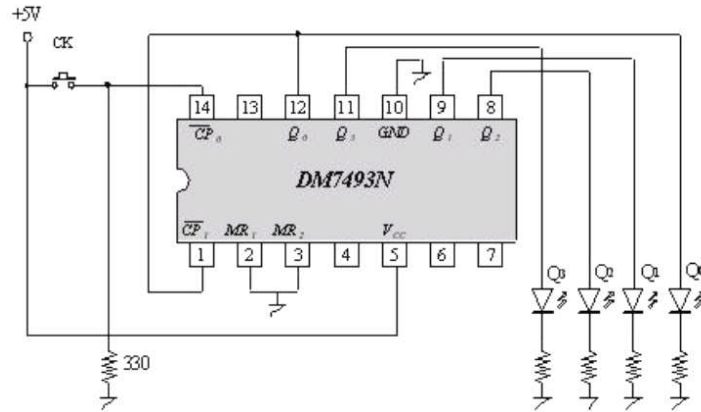
Tablo 2.39: Dört bit binary sayıcı doğruluk tablosu

7493 entegresi , biri ayrı diğer üç tanesi bir birine asenkron bağlı 4 adet JK FF'den oluşur. Bu entegre , tercihe göre 3 bit veya 4 bit sayıcı olarak kullanılabilir. Clk palsi giriş B ucuna verilerek çıkışlar QD , QC , QB olmak üzere 3 bit binary sayıcı olarak çalıştırılabilir. 4 bit sayıcı yapmak için , Clk girişi A girişine bağlanır , QA çıkışı B girişine bağlanarak çıkış uçları olarak QD , QC , QB , QA kullanılır.

R0 (1) R0 (2) girişlerinden en az bir tanesi “0” olduğunda sayma işlemi gerçekleştirilir. Bu uçların ikisi birden “1” yapılırsa bütün çıkışlar “0” olur.



Şekil 2.16: 7493 entegresinin iç yapısı

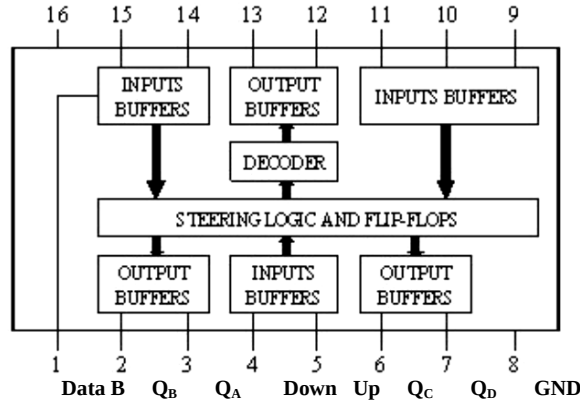


Şekil 2.17: 7483 entegresi ile yapılan binary sayıcı uygulama devresi

2.4.3. Programlanabilen Sayıcı

İstenen sayıda aşağı (down) / yukarı (up) sayabilen devrelere programlanabilir sayıcılar denir. Uygulamalarda bu amaçla kullanılan 74190 , 74191 , 74192 , 74193 entegreleri vardır. Burada 74193 entegresinin kullanımı anlatılacaktır.

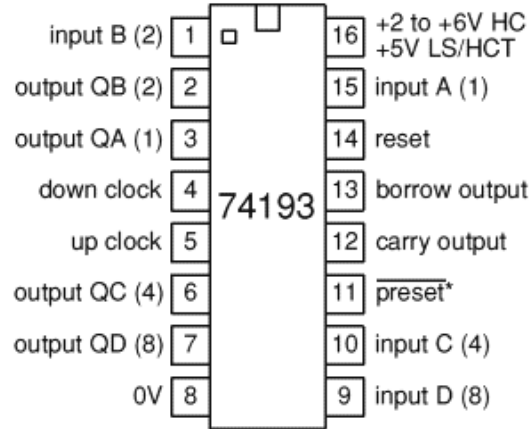
V_{CC} Data A Clear Borrow Carry Load Data C Data D



Şekil 2.18: Programlanabilir yukarı / aşağı sayıcı entegresi blok şeması

Count(sayma)		Clear (MR)	Load (yükle) PL	Fonksiyon
Up (yukarı)	Down (aşağı)			
↑	1	0	1	Up count
1	↑	0	1	Down count
X	X	1	X	Clear
X	X	0	0	Load

Tablo 2.40: 74193 entegresi doğruluk tablosu



Şekil 2.19: 74193 entegresi ayak yapısı

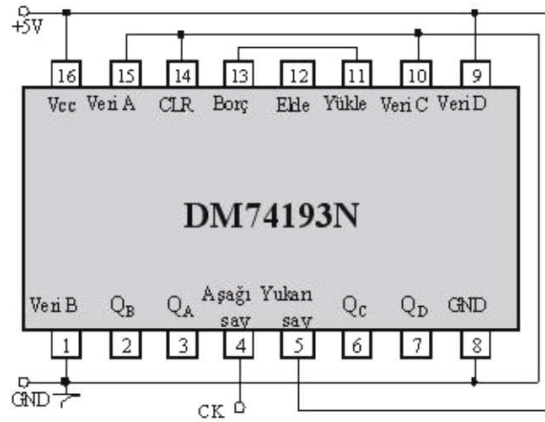
Entegrede clk palsinin yükselen kenarlarında sayma işlemi olur. Clk pulsü 5 no'lu ayağa bağlanırsa yukarı (up) , 4 no'lu ayağa bağlandığında aşağı (down) sayar. Yukarı sayma işleminde 15 ' ten 0 ' a geçerken elde çıkışı (cary out- ayak 12) ; aşağı sayma işleminde 0'dan 15'e geçerken borç çıkışı (borrow out – ayak 13) clk palsinin alçalan kenarından yükselen kenarına kadar geçen süre boyunca 1'den 0'a düşer.

İstenen bir sayıdan itibaren aşağı yada yukarı saydırma işlemi yapmak için data (veri) girişlerine (9,10,11,15 nolu ayaklar) istenilen sayının binary karşılığı uygulanır. Yani 5'ten sonra sayması isteniyorsa 0101 bilgisi uygulanır. Load (yükle) girişine (ayak 11) "0" verilir. Bu durumda giriş bilgileri çıkışa aktarılır. Entegre devrenin bu pozisyonu bozulmadan clk palsi ayak 5'e bağlanırsa yukarı sayıcı , ayak 4'e bağlanırsa aşağı sayıcı olarak çalışır. Yani sayıcı çıkışında yüklü olan sayı , sayıcının sınırını belirler.

Yukarı sayma işleminde 15'ten 0'a geçerken elde çıkışı; aşağı sayma işleminde 0'dan 15'e geçerken borç çıkışı , load girişine bağlanır. Çünkü bu çıkışlar (ayak 12 ve 13) "0" olduğunda load yapılır. Yani data uçlarındaki sayının binary karşılığı tekrar çıkışa aktarır. Böylece sayma işlemi programlı olarak tekrarlanır.

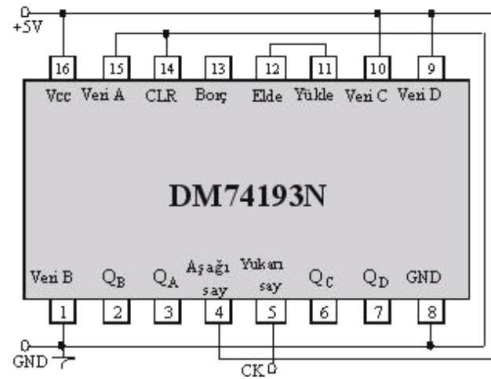
Eğer entegre programsız yani mod 16 sayıcı olarak çalışması isteniyorsa Load girişi boş bırakılır veya lojik "1" uygulanır. Bilindiği gibi TTL entegreler boş uçları "1" olarak algılar.

Şekil 2.20'de 74193 entegresinin mod 9 aşağı sayıcı olarak çalışmasını sağlayan bağlantı yapılmıştır. Bu şekilde çalışmada çıkışlar 8,7,6,5,4,3,2,1,0 şeklinde olmalıdır. Bu ayar için DATA girişlerine (1000)2 verisi yüklenmelidir. Aşağı sayıcı olarak sürekli çalışması için clk palsi aşağı say girişine (ayak 4)' bağlanmasıyla beraber , borç çıkışı (ayak 13) , yükle (ayak 11) girişine bağlanır.



Şekil 2.20: Mod 9 programlı aşağı sayıcı devre

Şekil 2.20'de görüldüğü gibi Mod 9 sayıcı tasarımı için D C B A veri girişlerine (1000)2 verisi bağlantısı yapılmıştır. Bu uçlara yapılacak veri bağlantıları ile sayıcı istenilen moda ayarlanabilir. Örneğin Mod 13 yani 12'ye programlı yukarı sayıcı olarak çalışması için Şekil 2.21 de verilen bağlantı yapılmalıdır. Şekil 2.21 'de verilen bağlantı şemasını dikkatlice inceledikten sonra 74193 entegresi ile 13'e programlı (mod 14) yukarı sayıcı olarak çalışacak devrenin bağlantısını çizerek öğretmeninize kontrol ettiriniz.



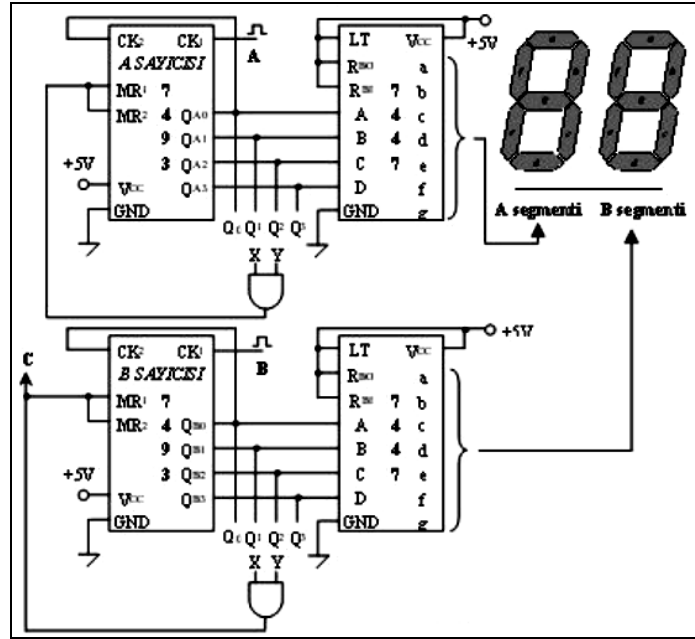
Şekil 2.21 Mod 13 programlı sayıcı bağlantı şekli

2.4.3.1. 0'dan 99'a Kadar Sayan Sayıcı Tasarımı

Aşağıda verilen Şekil 2.22'de 0 ile 99 arasında herhangi bir değere kadar sayma işlemi yapabilen genel amaçlı bir sayıcının blok şemasıdır. A ve B sayıcı entegrelerinin (7493) CK girişlerine Clk palsi uygulandığında her iki display de birbirinden bağımsız olarak dört bit sayma işlemi yapar. Bu durum sayıcının skorbord uygulamaları için uygundur. CK₂ girişleri iptal edilirse sayıcı 3 bitlik olarak çalışacaktır.

A ve C noktaları birleştirildiğinde sayıcı 0 ile 99 arasında sayma işlemi yapar. Sayıcının son sayma rakamı AND kapı girişlerine göre belirlenir. Örneğin, şekildeki devrenin 60'a kadar sayması istensin. B segmenti 0-9, A segmenti 0-5 sayılarını göstermelidir. Bu durum AND kapıları ile sağlanır. B segmentinin 0-9 sayması için B sayıcısına ait AND kapı girişleri $X=Q_{B0}$ ve $Y=Q_{B3}$ ile birleştirilmelidir. A segmentinin 0-5 sayması için A sayıcısına ait AND kapı girişlerine $X=Q_{A1}$ ve $Y=Q_{A2}$ ile birleştirilmelidir.

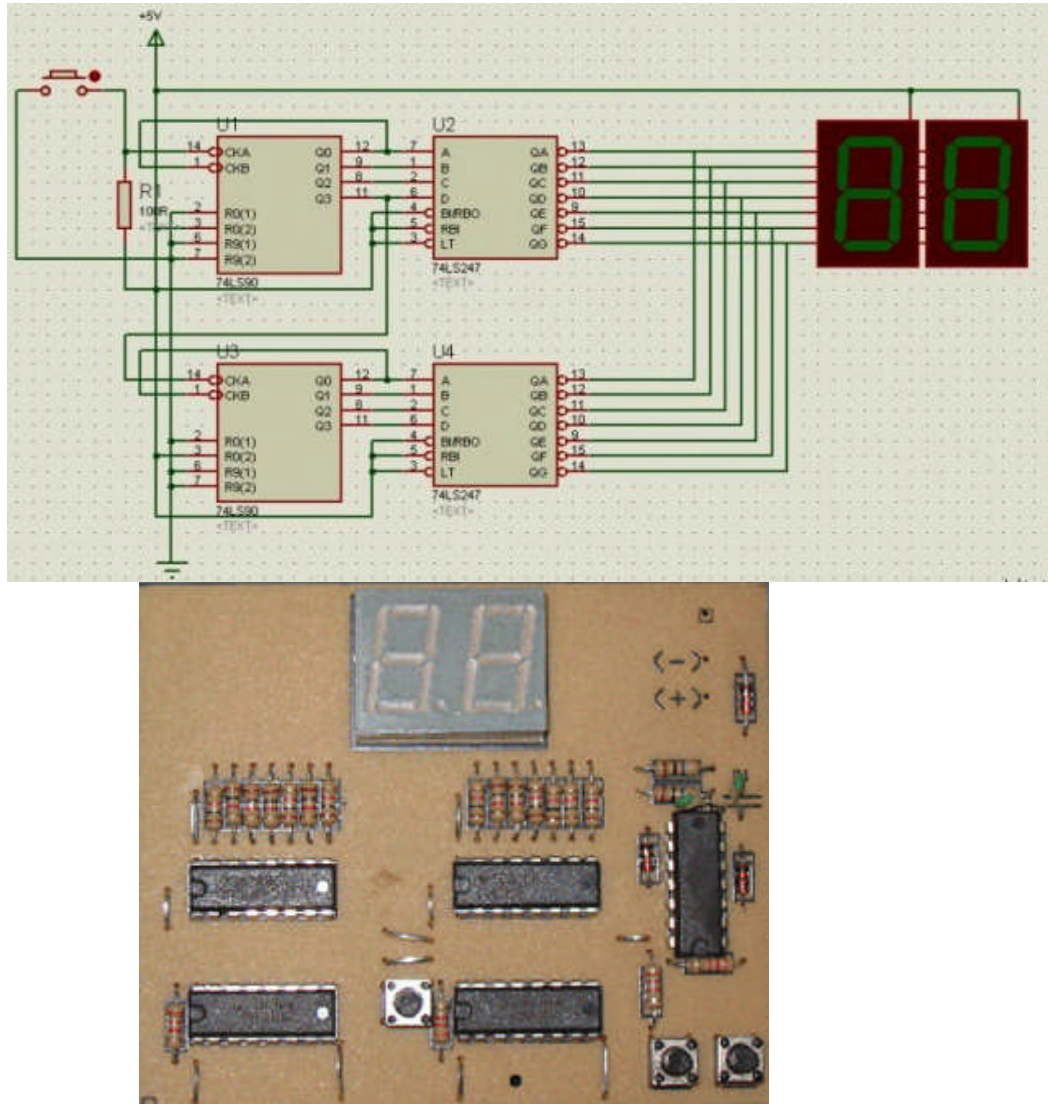
0-99 sayıcı devresini istenilen moda ayarlamak için Tablo 2.41'de 'da verilen uçları AND kapısı girişlerine bağlanmalıdır. Kapı girişleri tabloya göre değiştirilerek istenilen değerde yanması sağlanır.



Şekil 2.22: Programlanabilir 0-99 sayıcı bağlantısı

Sayıcı Modu	X	Y	Sayılacak Rakamlar
Mod 2	1	Q_1	0 1
Mod 3	Q_0	Q_1	0 1 2
Mod 4	Q_2	1	0 1 2 3
Mod 5	Q_2	Q_0	0 1 2 3 4
Mod 6	Q_2	Q_1	0 1 2 3 4 5
Mod 7	Q_2	$Q_0 \cdot Q_1$	0 1 2 3 4 5 6
Mod 8	Q_3	1	0 1 2 3 4 5 6 7
Mod 9	Q_3	Q_0	0 1 2 3 4 5 6 7 8
Mod 10	Q_3	Q_1	0 1 2 3 4 5 6 7 8 9

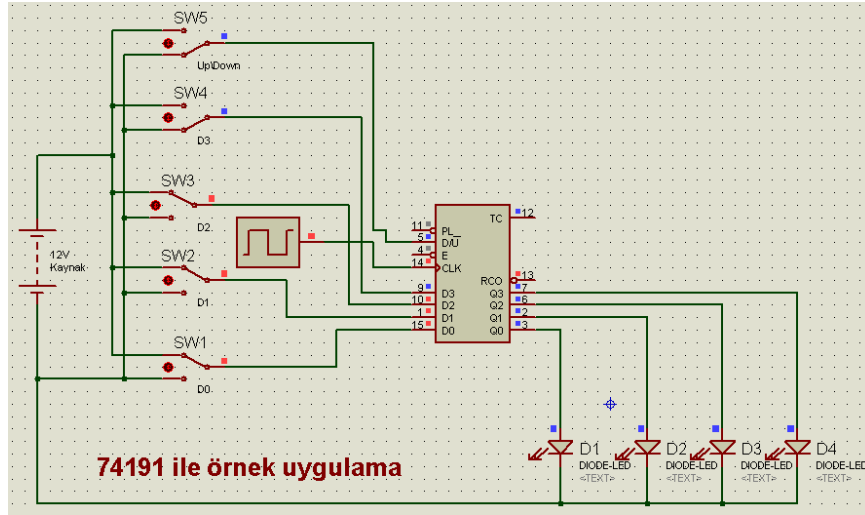
Tablo 2.41: Mod değişikliği için gerekli kapı tablosu



Şekil 2.23: 0-99 Yukarı sayıcı bağlantı şeması ve uygulama devresi

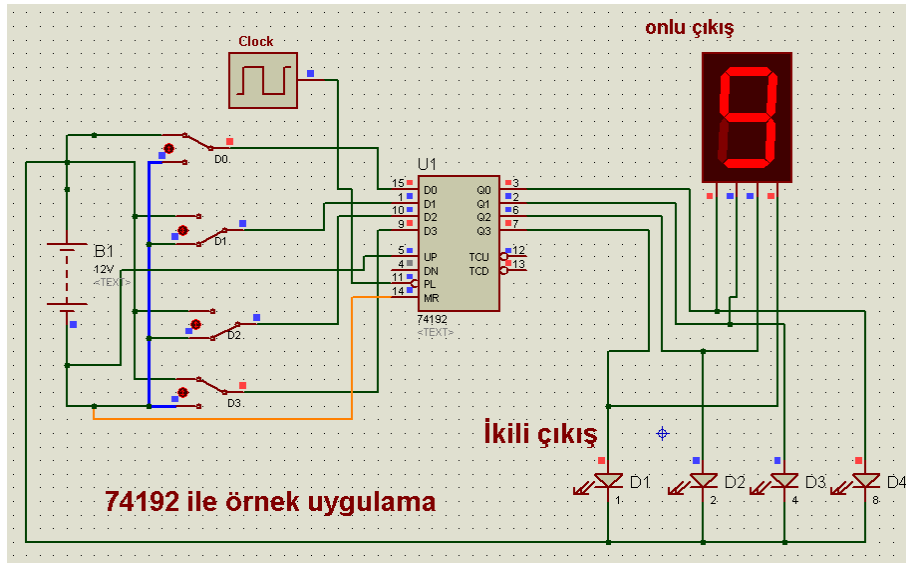
2.4.4. Resetlemeli Senkron Binary İleri–Geri Sayıcı (74191)

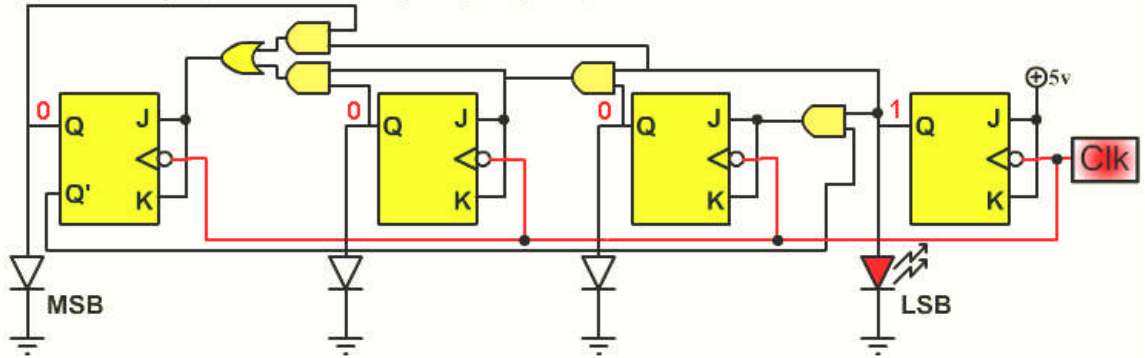
Senkron ileri geri sayıcı devresini 74191 ile resetlemeli olarak yapmak mümkündür. Şekildeki devrede Proteus programı ile çizilmiş örnek bir devre verilmiştir. Burada D/U girişini lojik 1 verilirse (+5 volt bağlanması) yukarı , lojik 0 verilirse (Şaseye bağlanması) aşağı sayar. Girişteki datalara göre çıkıştaki binary durumu değişir.



Şekil 2.24: Binary senkron ileri ve geri sayıcı

2.4.5. Resetlemeli Senkron BCD İleri–Geri Sayıcı (74192)

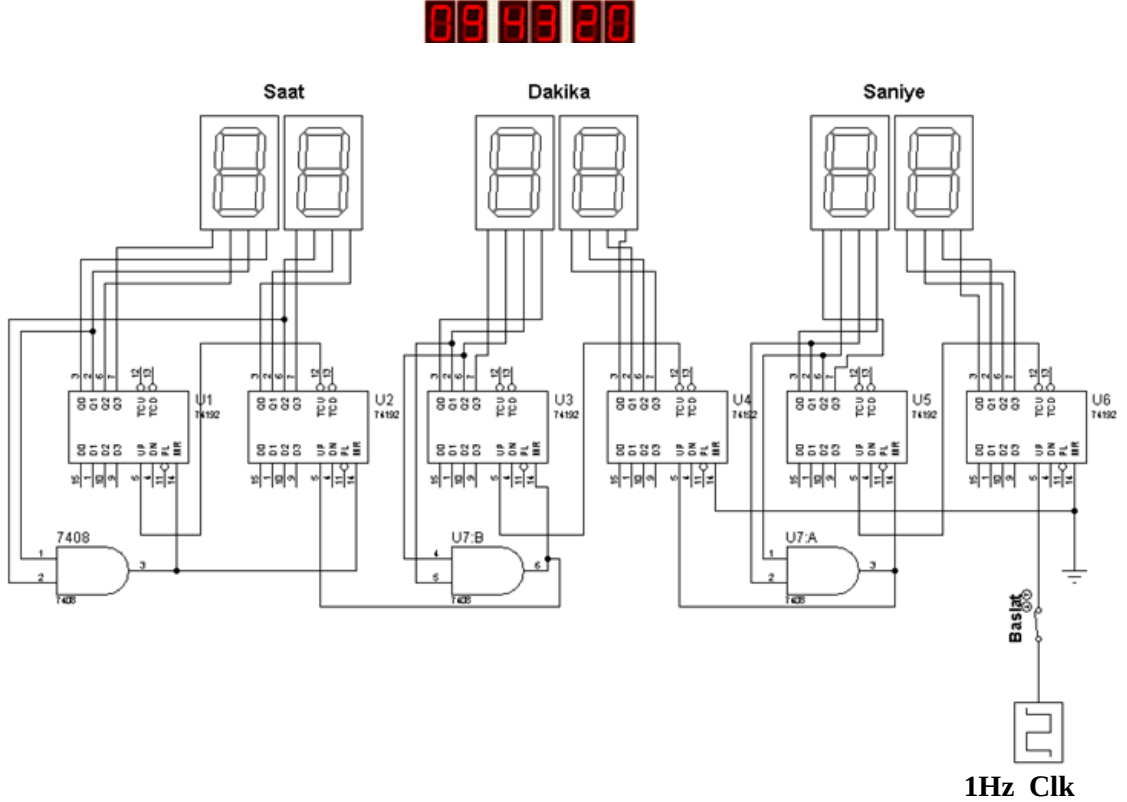




Şekil 2.25: Senkron BCD sayıcı

Sayıcı devreleri entegrelerin bağlantı şekillerine göre farklı şekillerde yapılabilir. BCD (İkili kodlanmış onlu sayıcıda bunlardan biridir. BCD uygulamasını Konu 2.4.1 Decimal (Desimal – Onlu) Sayıcı bölümünde bahsetmiştik. Girişte verilen ikili kodlanmış bilgi çıkışa onlu kodlanmış olarak verilmekteydi. Şekil 2.25’de aynı zamanda JK FF ile yapılmış Senkron BCD yukarı sayıcı bağlantısı verilmiştir.

2.4.5.1. Dijital Saat Tasarımı



Şekil 2.26: Dijital saat devre şeması

Şekil 2.26'da yapılan bağlantıda kullanılan malzemeler 74192 entegresi 6 adet kullanılmıştır. Kullanım amacı 0-9 ileri ve geri sayar paralel girişlere uygulanan değeri clk sinyali geldiği sürece çıkışa verir. 7408 entegresi 1 adet kullanılmıştır. Giriş 1 iken çıkışa 1 aktarır. Seven segment display 6 adet kullanılmıştır. Görevi girişteki binary kodlanmış bilgileri desimal olarak gösterir.

Dijital Saat devresi 74192 entegresi kullanılarak tasarlanmıştır. 74192 entegresi yapılan bağlantıya göre ileri-geri sayan bir entegredir. UP girişine sinyal verilirse ileri sayar. Sayma hızı sinyal(clock) ile ayarlanır. Bu devrede ise 74192 entegresinin UP girişine 1Hz'lik sinyal uygulanmıştır.(Bu sinyalin her değişim aralığı 1 saniyeyi verir) Her sinyalde 74192 entegresi yukarı sayar. Saniye 9 olduğunda ilk entegrenin TCU çıkışı aktif olur.(0-1 sinyal üretir ve diğer entegre için de bu sinyal(clock) olur) Saniye 10 olur ve yukarıya doğru saymaya başlar taki 59 olana kadar. Tam 59 olduğunda ise çarpma kapısı sayesinde (7408) başa döner (reset).Tam bu anda da dakika kısmı için (0-1) sinyal üretir ve dakikanın 1 olmasını sağlar.

Bu periyodik olay döngüsü dakikadan saate geçiş içinde geçerlidir. Burada saniye ve dakika 59 sayarken saat 23 saymaktadır. Şekil 2.26'da AND kapı girişlerine yapılan bağlantı noktalarına dikkat edilirse saniye ve dakika için alınan bağlantı noktaları ile saat için yapılan bağlantı noktalarının farklı olduğu görülür. Yukarıdaki bağlantıyı simülasyon programlarında uygulayıp deneyebilirsiniz.

UYGULAMA FAALİYETİ-1

İşlem Basamakları	Öneriler
➤ Şekil 2.10'daki devreyi kurunuz.	➤ Devreyi doğrudan deney seti üzerine kurunuz.
➤ Devreye enerji uygulayınız.	➤ Güç kaynağınızın sabit 5V uçlarını kullanınız. ➤ DC gerilimin artı ve eksi uçlarını dikkatli bağlayınız.
➤ CK butonuna art arda basınız.	➤ Her bir CKuygulaması için ; CK butonuna bir kere basıp bırakınız.
➤ Her basışta ledlerin durumlarını gözleyiniz.	➤ Çıkışların "1" olması demek; bu çıkışlara bağlı LED'lerin yanması demektir.

UYGULAMA FAALİYETİ-2

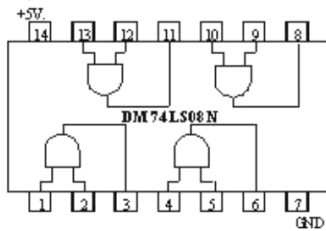
İşlem Basamakları	Öneriler
➤ Şekil 2.14'daki devreyi kurunuz.	➤ Devreyi doğrudan board üzerine kurunuz. Entegre ayaklarını 7476 ve 7408 katalogdan çıkarınız. Aşağıda verilen Şekil A ve Şekil B 'yi kullanınız.
➤ Devreye enerji uygulayınız.	➤ Güç kaynağınızın sabit 5V uçlarını kullanınız. ➤ DC gerilimin artı ve eksi uçlarını dikkatli bağlayınız.
➤ CK butonuna art arda basınız.	➤ Her bir CKuygulaması için CK butonuna bir kere basıp bırakınız. ➤ Clk plasini otomatik yapmak için Şekil C 'yi kullanabilirsiniz.
➤ Her basışta ledlerin durumlarını gözleyiniz.	➤ Çıkışların "1" olması demek; bu çıkışlara bağlı LED'lerin yanması demektir.
➤ AVOMetre ölçü aletini DC Volt kademesine alınız	➤ Ledlerin entegre bağlantı ucu ile şase arasını ölçünüz.
➤ Okuduğunuz sonuç değerlerini not alınız.	➤ Sonuçları arkadaşlarınızla tartışınız.

MODÜL DEĞERLENDİRME

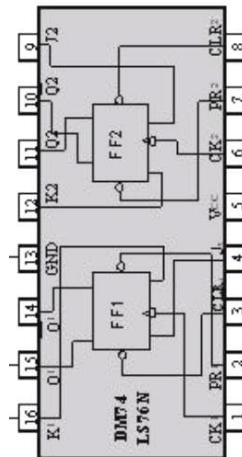
PERFORMANS TESTİ (YETERLİK ÖLÇME)

Değerlendirme Ölçütleri	Evet	Hayır
1. Şekil 2.10'daki ve 2.14'teki devreyi doğru şekilde kurabildiniz mi ?		
2. Devreyi kurduktan sonra enerji uyguladınız mı?		
3. Clk girişlerini otomatik clk devresine bağladınız mı?		
4. Çıkışların gerilim değerini ölçebildiniz mi?		
6. Çıkış gerilim değerlerini kaydedebildiniz mi?		

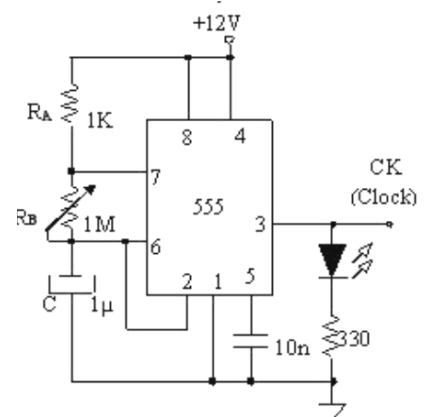
Uygulamalarda istenen devreler için aşağıdaki şemaları kullanabilirsiniz.



Şekil A



Şekil B



Şekil C

OBJEKTİF TEST (ÖLÇME SORULARI)

Aşağıdaki ifadeleri dikkatlice okuyarak uygun cevap şikkını (Doğru / Yanlış) Biçiminde inceleyiniz .

1. Senkron ileriye sayıcıda 1. FF'nin Q çıkışı 2.FF'nin CLK girişine bağlanır.. ()
2. Senkron sayıcılarda CLK sinyali bütün FF'lere aynı anda uygulanır. . ()
3. Senkron sayıcılarda zaman gecikmesi yaşanmaz. ()
4. Senkron sayıcılarda bit derecesi en düşük değerklikli (LSB) olan FF son FF'dir.()
5. Senkron Onlu sayıcı yapmak için 5 adet FF gerekir. ()
6. Onlu sayıcı yapmak için 4017 entegresi kullanılır. ()
7. 7493 entegresi Binary sayıcı uygulamalarında kullanılabilir. ()
8. Entegre sembolünde herhangi bir giriş ucunda küçük bir daire varsa, buraya "0" uygulandığında aktif olacağı anlaşılır. ()
9. 74193 entegresinin yükleme yapabilmesi için Clear ve Load uçlarının şaseye bağlanması gerekir . ()
10. 74193 entegresinin 5 numaralı ayağı yukarı saydırmak için kullanılır. ()

DEĞERLENDİRME

Cevaplarınızı cevap anahtarı ile karşılaştırınız. Doğru cevap sayınızı belirleyerek kendinizi değerlendiriniz. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt yaşadığınız sorularla ilgili konuları geri dönerek tekrar inceleyiniz. Tüm sorulara doğru cevap verdiyseniz diğer öğrenme faaliyetine geçiniz.

OBJEKTİF TEST (ÖLÇME SORULARI)

Aşağıda verilen ifadelerin Doğru (D) Yanlış (Y) biçiminde inceleyiniz.

1. Asenkron sayıcılar senkron sayıcılardan daha hızlıdır. ()
2. Asenkron 7 ye kadar sayıcı yapmak için 2 adet FF yeterlidir. ()
3. Asenkron heksadesimal sayıcı yapmak için 4 FF yeterlidir.()
4. 4 FF çıkışına AND kapıları bağlanarak yapılan sayıcıya yürüten ring sayıcı denir. ()
5. Her clock palsinde bir FF'yi set eden sayıcılara standart ring sayıcı denir.()
6. 74193 entegresi sadece yukarı sayıcı olarak ayarlanana bilir.()
7. 74193 nolu entegrenin 16 no'lu ayağı Vcc beslemesi için kullanılır. ()
8. 4017 entegresinin 8 no'lu ayağı şase beslemesi için kullanılır. ()
9. Clk palsinin otomatik olarak verilmesi için 555 ile astable multivibratör kullanılabilir. ()
10. Sayıcı devreleri frekans bölücü olarakta kullanılabilir.()

CEVAP ANAHTARLARI

ÖĞRENME FAALİYETİ 1 CEVAP ANAHTARI

1	D
2	Y
3	D
4	D
5	Y
6	D
7	Y
8	Y
9	Y
10	Y

ÖĞRENME FAALİYETİ 2 CEVAP ANAHTARI

1	Y
2	D
3	D
4	Y
5	Y
6	D
7	D
8	D
9	D
10	D

MODÜL DEĞERLENDİRME CEVAP ANAHTARI

1	Y
2	Y
3	D
4	D
5	D
6	Y
7	D
8	D
9	D
10	D

KAYNAKÇA

- TEKİN Engin, BEREKET Metin, **Bilgisayar (Donanım) 10. Sınıf İş ve İşlem Yaprakları, MEB yayınları**, 2005.
- ÇITAK Hakan , Balıkesir Üniversitesi 2005
- V. HALL Douglas, **Mikroişlemciler ve Sayısal Sistemler** MEB Yayınları
- CLEMENTS Alan, **Bilgisayar Donanımın Temelleri** , MEB Yayınları
- **Dijital Elektronik Eğitim Setleri Uygulama Kitapları (Lab-Volt)**